

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tomohiro YAMASHITA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

#2 Priority
Paper
5-22-01
R. Stokes



SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

Japan

2000-217106

July 18, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2000年 7月18日

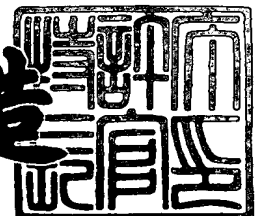
出 願 番 号
Application Number: 特願2000-217106

出 願 人
Applicant (s): 三菱電機株式会社

2000年 8月11日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3063126

【書類名】 特許願

【整理番号】 524298JP01

【提出日】 平成12年 7月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/02
H01L 27/04

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 山下 朋弘

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 奥村 喜紀

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 堀田 勝之

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板の表面内に選択的に形成された所定の導電型の第 1 ウエル及び
前記所定の導電型と同じ導電型の第 2 ウエルと、

前記半導体基板の前記表面内に前記表面を低抵抗化して形成され、一方端が前
記第 1 ウエル上に設けられると共に他方端が前記第 2 ウエル上に設けられて前記
第 1 ウエルと前記第 2 ウエルとの間に渡って形成された第 1 導電層と、

前記第 1 ウエルと電氣的に接続された第 1 コンタクトと
を備えることを特徴とする、
半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置であって、

前記第 1 コンタクトは前記第 1 導電層に接していることを特徴とする、
半導体装置。

【請求項 3】 請求項 2 に記載の半導体装置であって、

前記第 1 導電層に接する第 2 コンタクトを更に備えることを特徴とする、
半導体装置。

【請求項 4】 請求項 3 に記載の半導体装置であって、

前記第 1 コンタクトは前記第 1 導電層を介して前記第 1 ウエルと対面して配置
されている一方で、前記第 2 コンタクトは前記第 1 導電層を介して前記第 2 ウエ
ルと対面して配置されていることを特徴とする、
半導体装置。

【請求項 5】 請求項 1 に記載の半導体装置であって、

前記半導体基板の前記表面内に前記表面を低抵抗化して形成され、前記第 2 ウ
エルに接することなく前記第 1 ウエル上に設けられた第 2 導電層を更に備え、
前記第 1 コンタクトは前記第 2 導電層に接していることを特徴とする、
半導体装置。

【請求項 6】 請求項 1 乃至 5 のいずれかに記載の半導体装置であって、

前記第 1 導電層は、前記所定の導電型と同じ導電型の不純物導入層と、前記半導体基板の材料と金属との化合物層との少なくとも一方を含んで成ることを特徴とする、
半導体装置。

【請求項 7】 請求項 6 に記載の半導体装置であって、
前記第 1 導電層は前記第 1 ウエル及び前記第 2 ウエルよりも低抵抗であること
を特徴とする、
半導体装置。

【請求項 8】 請求項 5 に記載の半導体装置であって、
前記第 2 導電層は、前記所定の導電型と同じ導電型の不純物導入層と、前記半導体基板の材料と金属との化合物層との少なくとも一方を含んで成ることを特徴とする、
半導体装置。

【請求項 9】 請求項 8 に記載の半導体装置であって、
前記第 2 導電層は前記第 1 ウエルよりも低抵抗であることを特徴とする、
半導体装置。

【請求項 10】 請求項 1 乃至 9 のいずれかに記載の半導体装置であって、
前記第 1 ウエルと前記第 2 ウエルとは異なる不純物プロファイルを有すること
を特徴とする、
半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、特に半導体装置内のウエルの電位を固定するための要素のレイアウト面積を縮小する技術に関する。

【0002】

【従来の技術】

半導体集積回路において、個々の素子の電気的特性の最適化及び各素子間の分離幅の縮小は、集積回路を高性能化・微細化する上で重要である。一般的に、M

OSFETは半導体基板の表面内に不純物ドーピングを行って形成されたウエル上に形成される。例えば、N型のMOSFET（以下「NMOSFET」とも呼ぶ）はP型のウエル（以下「Pウエル」とも呼ぶ）上に形成される。

【 0 0 0 3 】

このとき、Pウエルの表面付近ないしは素子分離絶縁膜（以下「素子分離膜」とも呼ぶ）よりも浅い領域の不純物プロファイルのみを調節することにより、同一の半導体基板上にトランジスタ特性の異なる複数種類のNMOSFETを形成することができる。或いは、素子の電気特性を最適化するために、もっと深い領域の不純物プロファイルを調節することにより、同一の基板上の各NMOSFETの特性を違えることができる。即ち、不純物プロファイルの異なる複数種類のPウエルを形成し、各Pウエル上にそれぞれ特性・用途の異なるNMOSFETを形成する。

【 0 0 0 4 】

ここで、図22に従来の半導体装置1Pの断面図を示し、図23に半導体装置1Pの要部を説明するための模式的な平面図ないしはレイアウト図を示す。半導体装置1Pでは、半導体基板（以下「基板」とも呼ぶ）50Pの表面50SP内に不純物プロファイルが異なるPウエル11P、12Pが形成されている。特に従来の半導体装置1Pでは、両ウエル11P、12Pの境界に素子分離膜51BPが形成されている。

【 0 0 0 5 】

そして、Pウエル11P上にNMOSFET91Pが形成されており、更にPウエル11P内にPウエル11Pの電位を固定するためのP型の半導体層（以下「P型層」とも呼ぶ）21Pが形成されている。同様に、Pウエル12P上に上記NMOSFET91Pとは特性が異なるNMOSFET92Pが形成されており、更にPウエル12P内にPウエル12Pの電位を固定するためのP型層22Pが形成されている。図22ではP型層21P、22Pが両Pウエル11P、12Pの境界付近に形成された場合を図示しているが、各P型層21P、22Pは各Pウエル11P、12P内の他の場所に形成される場合もある。なお、NMOSFET91P、92P及びP型層21P、22Pは素子分離膜51P、51B

Pによって互いに分離されている。

【0006】

各P型層21P, 22Pは、層間絶縁膜70Pに形成された各コンタクトホール70H1P, 70H2P内の各コンタクト31P, 32Pを介して共に配線40Pに接続されている。配線40Pを所定の電位に接続することによって、コンタクト31P, 32P及びP型層21P, 22Pを介して、両Pウエル11, 12を所定の電位に固定する。

【0007】

なお、表面50SP内に各NMOSFET91P, 92Pのソース／ドレイン領域61Pが形成されており、又、表面50SP上にゲート絶縁膜63P（図26参照）及びゲート電極62Pが順次に形成されている。ソース／ドレイン領域61Pは、層間絶縁膜70Pに形成されたコンタクトホール70HP内のコンタクト65Pを介して配線66Pに接続されている。

【0008】

次に、図24～図29に半導体装置1Pの製造方法を説明するための断面図を示し、これらを参照しつつ半導体装置1Pの製造方法を説明する。

【0009】

まず、基板50Pの表面50SP内に素子分離膜51P, 51BPを形成して、NMOSFET91P, 92P及びP型層21P, 22Pを形成する各領域を区画する。

【0010】

次に、表面50SP上にPウエル12Pの形成領域を開口させてレジスト81Pを配置し、当該レジスト81Pをマスクとして表面50SP内にP型の不純物をイオン注入する（図24参照）。具体的には、例えばボロンを $300\text{ keV} \sim 1.5\text{ MeV}$, $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ の条件で注入してレトログレードウエルを形成し、更に例えば $80\text{ keV} \sim 160\text{ keV}$, $1 \times 10^{12} \sim 5 \times 10^{12} / \text{cm}^2$ の注入条件で以てチャネルカット層を形成し、又、例えば $15\text{ keV} \sim 70\text{ keV}$, $3 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ の注入条件で以て閾値制御層を形成する。これにより、上述のレトログレードウエル、チャネルカット層及び

閾値制御層から成る P ウエル 1 2 P を形成する。

【 0 0 1 1 】

続いて、表面 5 0 S P 上に P ウエル 1 1 P の形成領域を開口させてレジスト 8 2 P を配置し、当該レジスト 8 2 P をマスクとして表面 5 0 S P 内に P 型の不純物をイオン注入する（図 2 5 参照）。具体的には、例えばボロンを $200\text{ keV} \sim 500\text{ keV}$ 、 $5 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ の条件で注入してレトログレードウエルを形成し、更に例えば $80\text{ keV} \sim 160\text{ keV}$ 、 $3 \times 10^{12} \sim 2 \times 10^{13} / \text{cm}^2$ の注入条件で以てチャネルカット層を形成し、又、例えば $15\text{ keV} \sim 70\text{ keV}$ 、 $5 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ の注入条件で以て閾値制御層を形成する。これにより、上述のレトログレードウエル、チャネルカット層及び閾値制御層から成る P ウエル 1 1 P を形成する。

【 0 0 1 2 】

なお、この後、図示しない PMOSFET を形成する領域に N 型のウエルを形成する。

【 0 0 1 3 】

その後、ゲート絶縁膜 6 3 P 及びゲート電極 6 2 P 用の各膜を形成し、これらを所定の形状にパターニングすることによりゲート絶縁膜 6 3 P 及びゲート電極 6 2 P を形成する（図 2 6 参照）。そして、NMOSFET のソース／ドレイン領域に N 型のエクステンション層 6 9 P を形成し、又、PMOSFET のソース／ドレイン領域に P 型のエクステンション層を形成する（図 2 7 参照）。このとき、P 型層 2 1 P、2 2 P の形成領域に P 型のエクステンション層 2 9 P を形成するが、当該エクステンション層 2 9 P の形成は省略される場合もある。その後、表面 5 0 S P の全面を覆って絶縁膜を形成し、これを異方性エッチングすることによってサイド・ウォール・スペーサ（以下「スペーサ」とも呼ぶ）6 4 P を形成する（図 2 7 参照）。

【 0 0 1 4 】

次に、表面 5 0 S P 上に、NMOSFET 9 1 P、9 2 P の形成領域及び図示しない N ウエルの電位を固定するための N 型層の形成領域を開口させてレジスト 8 3 P を配置し、当該レジスト 8 3 P をマスクとして表面 5 0 S P 内に N 型の不

純物をイオン注入する（図 2 8 参照）。例えば $5 \text{ keV} \sim 100 \text{ keV}$, $1 \times 10^{15} \sim 6 \times 10^{15} / \text{cm}^2$ の条件で砒素を注入する。これにより、NMOSFET 9 1 P, 9 2 P の各ソース／ドレイン領域 6 1 P 及び上記 N 型層を形成する。

【 0 0 1 5 】

続いて、表面 5 0 S P 上に、P 型層 2 1 P, 2 2 P 及び PMOSFET の形成領域を開口させてレジスト 8 4 P を配置し、当該レジスト 8 4 P をマスクとして表面 5 0 S P 内に P 型の不純物をイオン注入する（図 2 9 参照）。例えば $1 \text{ keV} \sim 20 \text{ keV}$, $1 \times 10^{15} \sim 6 \times 10^{15} / \text{cm}^2$ の条件でボロンを注入する。これにより、P 型層 2 1 P, 2 2 P 及び PMOSFET のソース／ドレイン領域を形成する。

【 0 0 1 6 】

次に、ゲート電極 6 2 P 等を覆って表面 5 0 S 上の全面に層間絶縁膜 7 0 P を形成し、それぞれ所定の位置にコンタクトホール 7 0 H P, 7 0 H 1 P, 7 0 H 2 P を形成する。層間絶縁膜 7 0 P の全面を覆って金属やポリシリコン等の導電材料を堆積することにより、コンタクト 3 1 P, 3 2 P, 6 5 P 及び配線 4 0 P, 6 6 P を形成する。以上の工程により、図 2 2 に示す半導体装置 1 P が完成する。なお、必要に応じて複数の配線層を形成して L S I が製造される。

【 0 0 1 7 】

【発明が解決しようとする課題】

さて、各ウエル 1 1 P, 1 2 P を形成するための写真製版工程（図 2 4 及び図 2 5 参照）においてマスク等にアライメントずれが生じると、両 P ウエル 1 1 P, 1 2 P が離れて形成される場合がある（図 3 0 の断面図を参照）。しかしながら、かかる場合であっても、半導体装置 1 P では各 P ウエル 1 1 P, 1 2 P 毎に P 型層 2 1 P 又は 2 2 P とコンタクト 3 1 P 又は 3 2 P とが設けられているので、両 P ウエル 1 1 P, 1 2 P を所定の電位に固定可能である。

【 0 0 1 8 】

また、図 3 1 の断面図及び図 3 2 の平面図に示すように両 P ウエル 1 1 P, 1 2 P がボトム N ウエル 1 3 P 及び N ウエル 1 4 P で囲まれた構造においても、両 P ウエル 1 1 P, 1 2 P が離れて形成されうる。このとき、両 P ウエル 1 1 P,

1 2 P が電氣的に接続されないと、P ウエル 1 1 P, 1 2 P の電位が浮いた状態になりやすい。このため、上述のボトム N ウエル 1 3 P 及び N ウエル 1 4 P を有する半導体装置においても、各 P ウエル 1 1 P, 1 2 P 毎に P 型層 2 1 P 又は 2 2 P ろコンタクト 3 1 P 又は 3 2 P とが設けられる。

【 0 0 1 9 】

ところで、従来の半導体装置 1 P 等では、各 MOS F E T の形成領域が素子分離膜 5 1 P で区画されていると共に P ウエル 1 1 P, 1 2 P の境界にも素子分離膜 5 1 B P が形成されているので、各ウエルの電位を固定するための拡散層、コンタクト及び配線を各ウエル毎に設けなければならない。このため、半導体装置全体において上記拡散層等の形成領域の割合が高くなってしまう。特に、各ウエル 1 1 P, 1 2 の P 型層 2 1 P, 2 2 P が近接して配置されていない場合には、配線 4 0 P のレイアウト面積が上記割合を増大させる。

【 0 0 2 0 】

本発明はかかる点に鑑みてなされたものであり、ウエルの電位を安定的に固定しうると共に上記電位を固定するための要素のレイアウト面積が縮小された半導体装置を提供することを主たる目的とする。

【 0 0 2 1 】

【課題を解決するための手段】

(1) 請求項 1 に記載の発明に係る半導体装置は、半導体基板と、前記半導体基板の表面内に選択的に形成された所定の導電型の第 1 ウエル及び前記所定の導電型と同じ導電型の第 2 ウエルと、前記半導体基板の前記表面内に前記表面を低抵抗化して形成され、一方端が前記第 1 ウエル上に設けられると共に他方端が前記第 2 ウエル上に設けられて前記第 1 ウエルと前記第 2 ウエルとの間に渡って形成された第 1 導電層と、前記第 1 ウエルと電氣的に接続された第 1 コンタクトとを備えることを特徴とする。

【 0 0 2 2 】

(2) 請求項 2 に記載の発明に係る半導体装置は、請求項 1 に記載の半導体装置であって、前記第 1 コンタクトは前記第 1 導電層に接していることを特徴とする。

【 0 0 2 3 】

(3) 請求項 3 に記載の発明に係る半導体装置は、請求項 2 に記載の半導体装置であって、前記第 1 導電層に接する第 2 コンタクトを更に備えることを特徴とする。

【 0 0 2 4 】

(4) 請求項 4 に記載の発明に係る半導体装置は、請求項 3 に記載の半導体装置であって、前記第 1 コンタクトは前記第 1 導電層を介して前記第 1 ウエルと対面して配置されている一方で、前記第 2 コンタクトは前記第 1 導電層を介して前記第 2 ウエルと対面して配置されていることを特徴とする。

【 0 0 2 5 】

(5) 請求項 5 に記載の発明に係る半導体装置は、請求項 1 に記載の半導体装置であって、前記半導体基板の前記表面内に前記表面を低抵抗化して形成され、前記第 2 ウエルに接することなく前記第 1 ウエル上に設けられた第 2 導電層を更に備え、前記第 1 コンタクトは前記第 2 導電層に接していることを特徴とする。

【 0 0 2 6 】

(6) 請求項 6 に記載の発明に係る半導体装置は、請求項 1 乃至 5 のいずれかに記載の半導体装置であって、前記第 1 導電層は、前記所定の導電型と同じ導電型の不純物導入層と、前記半導体基板の材料と金属との化合物層との少なくとも一方を含んで成ることを特徴とする。

【 0 0 2 7 】

(7) 請求項 7 に記載の発明に係る半導体装置は、請求項 6 に記載の半導体装置であって、前記第 1 導電層は前記第 1 ウエル及び前記第 2 ウエルよりも低抵抗であることを特徴とする。

【 0 0 2 8 】

(8) 請求項 8 に記載の発明に係る半導体装置は、請求項 5 に記載の半導体装置であって、前記第 2 導電層は、前記所定の導電型と同じ導電型の不純物導入層と、前記半導体基板の材料と金属との化合物層との少なくとも一方を含んで成ることを特徴とする。

【 0 0 2 9 】

(9) 請求項 9 に記載の発明に係る半導体装置は、請求項 8 に記載の半導体装置であって、前記第 2 導電層は前記第 1 ウエルよりも低抵抗であることを特徴とする。

【0030】

(10) 請求項 10 に記載の発明に係る半導体装置は、請求項 1 乃至 9 のいずれかに記載の半導体装置であって、前記第 1 ウエルと前記第 2 ウエルとは異なる不純物プロファイルを有することを特徴とする。

【0031】

【発明の実施の形態】

<実施の形態 1>

図 1 に実施の形態 1 に係る半導体装置 1 の断面図を示し、又、図 2 に半導体装置 1 の要部を説明するための模式的な平面図ないしはレイアウト図を示す。半導体装置 1 は半導体基板（以下「基板」とも呼ぶ）50 を基材とし、当該半導体基板 50 の表面（ないしは主面）50S 内及び表面 50S 上に後述の構造が形成されて成る。なお、以下の説明では「基板 50 の表面 50S」とは種々の処理が施される前の状態（後述の図 3 参照）の当初の表面及びかかる当初の表面に相当する表面を含むものとする。ここでは、半導体基板 50 が N 型のシリコンから成り、後述の各半導体層がシリコンの場合を説明するが、半導体材料はこれに限られない。

【0032】

図 1 に示すように、半導体装置 1 の領域 AR1 内に N 型の MOSFET（以下「NMOSFET」とも呼ぶ）91 が形成されており、領域 AR1 に隣接した領域 AR2 内に NMOSFET 91 とは異なる特性を有する NMOSFET 92 が形成されている。なお、図 1 では両領域 AR1、AR2 が接している場合を図示している。ここで、両領域 AR1、AR2 及び後述の領域 AR3 等はそれぞれ基板 50 の表面 50S の所定の領域を含むと共に当該所定の領域を表面 50S に対して垂直に伸延した 3 次元的な領域をも含むものとする。

【0033】

まず、領域 AR1 内の構造を説明する。領域 AR1 において、基板 50 の表面

5 0 S 内に所定の深さの P 型のウエル（第 1 ウエル）（以下「P ウエル」とも呼ぶ）1 1 が形成されている。ここでは、説明の簡単のため、P ウエル 1 1 は領域 A R 1 内の表面 5 0 S 全域に渡って形成されているものとする。なお、P ウエル 1 1 はレトログレードウエル、チャネルカット層及び閾値制御層を含んで成るが、図面の煩雑化を避けるため図 1 等中ではこれらの詳細な図示化は省略している。

【 0 0 3 4 】

更に、表面 5 0 S 内には例えばシリコン酸化膜から成る素子分離絶縁膜（以下「素子分離膜」とも呼ぶ）5 1 が形成されており、素子分離膜 5 1 により N M O S F E T 9 1 が形成される素子形成領域が区画されている。

【 0 0 3 5 】

かかる素子形成領域内において、N 型の半導体層から成る N M O S F E T 9 1 のソース／ドレイン領域 6 1 が表面 5 0 S 内に P ウエル 1 1 よりも浅く形成されている。更に、表面 5 0 S 上に例えばシリコン酸化膜から成る、N M O S F E T 9 1 のゲート絶縁膜 6 3 （後述の図 7 参照）が形成されている。ゲート絶縁膜 6 3 は両ソース／ドレイン領域 6 1 の隙間にあたる領域に形成されている。ゲート絶縁膜 6 3 上に例えばポリシリコンから成る、N M O S F E T 9 1 のゲート電極 6 2 が形成されている。また、表面 5 0 S 上にゲート電極 6 2 の側壁面を覆ってサイド・ウォール・スペーサ（以下「スペーサ」とも呼ぶ）6 4 （後述の図 7 参照）が形成されている。

【 0 0 3 6 】

そして、表面 5 0 S 上にゲート電極 6 2 等を覆って例えばシリコン酸化膜から成る層間絶縁膜 7 0 が形成されている。上述のゲート絶縁膜 6 3 及びスペーサ 6 4 は層間絶縁膜 7 0 と一体化している。なお、層間絶縁膜 7 0 は領域 A R 1 のみならず領域 A R 2, A R 3 内にも、即ち表面 5 0 S の全体を覆って形成されている。層間絶縁膜 7 0 には表面 5 0 S に接しない側の表面 7 0 S から各ソース／ドレイン領域 6 1 へ至るコンタクトホール 7 0 H が形成されており、各コンタクトホール 7 0 H 内にはそれぞれ例えば金属やポリシリコン等の導電材料から成るコンタクト 6 5 がソース／ドレイン領域 6 1 に接して充填されている。更に、層間

絶縁膜 7 0 の表面 7 0 S 上にコンタクト 6 5 と接して配線 6 6 が形成されている。

【 0 0 3 7 】

次に、領域 A R 2 内の構造を説明する。なお、両領域 A R 1 , A R 2 内の構造は基本的には同じであるので既述の構成要素と同等のものには同一の符号を付す。領域 A R 2 内において、基板 5 0 の表面 5 0 S 内に所定の深さの P ウエル（第 2 ウエル） 1 2 が形成されている。P ウエル 1 2 は上述の P ウエル 1 1 よりも深く又 P ウエル 1 1 とは異なる不純物プロファイルを有する。ここでは、説明の簡単のため、P ウエル 1 2 は領域 A R 2 内の表面 5 0 S 全域に渡って形成されているものとする。なお、P ウエル 1 2 は P ウエル 1 1 と同様にレトログレードウエル、チャネルカット層及び閾値制御層を含んで成るが、図 1 等中ではこれらの詳細な図示化は省略している。

【 0 0 3 8 】

そして、領域 A R 2 内には、既述の領域 A R 1 と同様に、素子分離膜 5 1 が形成されており、N M O S F E T 9 2 のソース／ドレイン領域 6 1 , ゲート電極 6 2 及びゲート絶縁膜 6 3 が形成されている。更に、領域 A R 2 内には、スペーサ 6 4 , コンタクトホール 7 0 H を有する層間絶縁膜 7 0 , コンタクト 6 5 及び配線 6 6 が形成されている。

【 0 0 3 9 】

特に、半導体装置 1 は、隣接する両領域 A R 1 , A R 2 間を最短に跨ぐ領域 A R 3 を有している。領域 A R 3 は各領域 A R 1 , A R 2 と重複する各領域を含んでおり、領域 A R 3 内には各 P ウエル 1 1 , 1 2 の一部分が配置されている。領域 A R 3 内の表面 5 0 S 内に両 P ウエル 1 1 , 1 2 間に渡って（跨って）導電層（第 1 導電層） 2 0 が形成されている。詳細には、導電層 2 0 の一方端は P ウエル 1 1 上に設けられると共に他方端は P ウエル 1 2 上に設けられており、かかる導電層 2 0 により両 P ウエル 1 1 , 1 2 が電氣的に接続される。

【 0 0 4 0 】

導電層 2 0 は半導体基板 5 0 の表面 5 0 S を低抵抗化して両 P ウエル 1 1 , 1 2 よりも浅い領域に形成され（後述する）、両 P ウエル 1 1 , 1 2 よりも低抵抗

の（換言すれば導電性の）P型の半導体層（不純物導入層）から成る（このため導電層20を「P型層20」とも呼ぶ）。導電層20のシート抵抗は例えば100～10kΩ/□程度である。

【0041】

なお、両Pウエル11，12に渡って形成され両Pウエル11，12を電氣的に接続しうる限り、P型層20をPウエル11よりも又は両Pウエル11，12よりも深く形成しても構わない。また、ここでは、説明の簡単のため、P型層20は領域AR3内の表面50S全域に渡って形成されているものとする。

【0042】

上述の層間絶縁膜70は領域AR3内にも形成されており、表面70SからP型層20に至るコンタクトホール70H1，70H2を有している。詳細には、コンタクトホール70H1は両領域AR1，AR3が重複した領域内にP型層20を介してPウエル11と対面して形成されており、他方、コンタクトホール70H2は両領域AR2，AR3が重複した領域内にP型層20を介してPウエル12と対面して形成されている。

【0043】

そして、コンタクトホール70H1内に例えば金属やポリシリコン等の導電材料から成るから成るコンタクト（第1コンタクト）31がP型層20に接して形成されており、コンタクトホール70H2内に同様のコンタクト（第2コンタクト）32がP型層20に接して形成されている。これにより、両コンタクト31，32はP型層20を介して両Pウエル11，12に電氣的に接続されている。更に、層間絶縁膜70の表面70S上に両コンタクト31，32の双方に接して配線40が形成されている。

【0044】

半導体装置1では、配線40を所定の電位に接続することによって、コンタクト31，32及びP型層20を介して、両Pウエル11，12を所定の電位に固定する。

【0045】

なお、図1等への図示化は省略するが、半導体装置1はNMOSFET91，

92と同様の関係を有するP型のMOSFET（以下「PMOSFET」とも呼ぶ）191, 192を備えている。そして、PMOSFET191が形成されるN型のウエル（第1ウエル）（以下「Nウエル」とも呼ぶ）111とPMOSFET192が形成されるNウエル（第2ウエル）112とに渡って、P型層20に対応する導電層（第1導電層）120が形成されている。導電層120は両Pウエル111, 112よりも低抵抗の（換言すれば導電性の）N型の半導体層（不純物導入層）から成り（このため導電層120を「N型層120」とも呼ぶ）、N型層120を介してNウエル111, 112が電氣的に接続される。更に、上述のコンタクト31, 32と同様のコンタクト（第1コンタクト及び第2コンタクト）131, 132がN型層120に接して形成されている。

【0046】

次に、図3～図11に半導体装置1の製造方法を説明するための断面図を示し、これらを参照しつつ半導体装置1の製造方法を説明する。ここでは、図1中に図示された要素（NMOSFET91, 92等）を中心に説明する。

【0047】

まず、半導体基板50を準備する（図3参照）。そして、表面50S内に素子分離膜51を形成して（図4参照）、素子分離膜51でNMOSFET91, 92及びP型層20を形成する領域を区画する。なお、NMOSFET91, 92及びP型層20を形成する各領域内の表面50S内に例えばシリコン酸化膜から成る絶縁膜52を形成する。

【0048】

次に、表面50S上に領域AR2を開口させてレジスト81を配置し、当該レジスト81をマスクとして表面50S内にP型の不純物をイオン注入する（図5参照）。これにより領域AR2内にPウエル12を形成する。具体的には、Pウエル12を成すレトログレードウエル、チャネルカット層及び閾値制御層をそれぞれに以下のように形成する。即ち、例えばボロンを $300\text{ keV} \sim 1.5\text{ MeV}$, $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ の条件で注入してレトログレードウエルを形成し、更に例えば $80\text{ keV} \sim 160\text{ keV}$, $1 \times 10^{12} \sim 5 \times 10^{12} / \text{cm}^2$ の注入条件で以てチャネルカット層を形成し、又、例えば $15\text{ keV} \sim 70\text{ k}$

e V, $3 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ の注入条件で以て閾値制御層を形成する。その後、レジスト 8 1 を除去する。

【 0 0 4 9 】

続いて、表面 5 0 S 上に領域 A R 1 を開口させてレジスト 8 2 を配置し、当該レジスト 8 2 をマスクとして表面 5 0 S 内に P 型の不純物をイオン注入する（図 6 参照）。これにより領域 A R 1 内に P ウェル 1 1 を形成する。具体的には、P ウェル 1 1 を成すレトログレドウェル、チャネルカット層及び閾値制御層をそれぞれに以下のように形成する。即ち、例えばボロンを $200 \text{ keV} \sim 500 \text{ keV}$, $5 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ の条件で注入してレトログレドウェルを形成し、更に例えば $80 \text{ keV} \sim 160 \text{ keV}$, $3 \times 10^{12} \sim 2 \times 10^{13} / \text{cm}^2$ の注入条件で以てチャネルカット層を形成し、又、例えば $15 \text{ keV} \sim 70 \text{ keV}$, $5 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ の注入条件で以て閾値制御層を形成する。その後、レジスト 8 2 を除去する。

【 0 0 5 0 】

この後、PMOSFET 1 9 1, 1 9 2 を形成する領域に N 型のウェル 1 1 1, 1 1 2 を形成する。

【 0 0 5 1 】

次に、ゲート絶縁膜 6 3, ゲート電極 6 2, エクステンション層（図示せず）及びスペーサ 6 4 を形成する（図 7 参照）。詳細には、ゲート絶縁膜 6 3 及びゲート電極 6 2 用の各膜を形成し、これらを所定の形状にパターニングすることによりゲート絶縁膜 6 3 及びゲート電極 6 2 を形成する。そして、NMOSFET のソース／ドレイン領域に N 型のエクステンション層を形成し、又、PMOSFET のソース／ドレイン領域に P 型のエクステンション層を形成する。このとき、領域 A R 3 内の表面 5 0 S 内に P 型のエクステンション層 2 9 を形成するが、当該エクステンション層 2 9 の形成は省略しても構わない。その後、ゲート絶縁膜 6 3 及びゲート電極 6 2 を覆って表面 5 0 S 上に絶縁膜を形成し、これを異方性エッチングするによってスペーサ 6 4 を形成する。

【 0 0 5 2 】

次に、表面 5 0 S 上に NMOSFET 9 1, 9 2 及び N 型層 1 2 0 に対応する

領域を開口させてレジスト83を形成し、当該レジスト83をマスクとして表面50S内にN型の不純物をイオン注入する（図8参照）。例えば5keV～100keV、 $1 \times 10^{15} \sim 6 \times 10^{15} / \text{cm}^2$ の条件で砒素を注入する。これにより、NMOSFET91、92の各ソース／ドレイン領域61及びN型層120を形成する。その後、レジスト83を除去する。

【0053】

続いて、表面50S上にPMOSFET191、192及びP型層20に対応する領域を開口させてレジスト84を形成し、当該レジスト84をマスクとして表面50S内にP型の不純物をイオン注入する（図9参照）。例えば1keV～20keV、 $1 \times 10^{15} \sim 6 \times 10^{15} / \text{cm}^2$ の条件でボロンを注入する。これにより、PMOSFET191、192の各ソース／ドレイン領域及びP型層20を形成する。その後、レジスト84を除去することにより、図10に示す状態の基板ないしは半導体装置が得られる。

【0054】

次に、ゲート電極62等を覆って表面50Sの全面に層間絶縁膜70を形成し、所定の位置にコンタクトホール70H、70H1、70H2を形成する（図11参照）。その後、層間絶縁膜70の全体を覆って例えば金属やポリシリコン等の導電材料を堆積する。これにより、コンタクトホール70H、70H1、70H2内に導電材料を充填することによってコンタクト31、32、65を形成する。また、層間絶縁膜70の表面70S上に堆積した導電材料をパターニングして配線40、66を形成する。なお、コンタクト31、32、65と配線40、66とを別々の材料及び工程で形成しても構わない。以上の工程により、図1に示す半導体装置1が完成する。

【0055】

なお、NMOSFET91、92に加えて又は変えて、領域AR1、AR2内にDRAM（Dynamic Random Access Memory）やEEPROM（Erasable and Programmable Read Only Memory）等のメモリセルを形成しても良い。そのような場合にはメモリキャパシタの形成工程が追加される。また、必要に応じて複数の配線層を形成してLSIが完成する。

【 0 0 5 6 】

半導体装置 1 によれば、以下の効果を得ることができる。即ち、P 型層 2 0 が両 P ウエル 1 1, 1 2 に渡って（跨って）形成されているので、両 P ウエル 1 1, 1 2 が P 型層 2 0 を介して電氣的に接続されている。また、コンタクト 3 1, 3 2 は P 型層 2 0 に接して配置されているので、コンタクト 3 1, 3 2 は P 型層 2 0 を介して P ウエル 1 1, 1 2 に確実に電氣的に接続されている。しかも、P 型層 2 0 は P ウエル 1 1, 1 2 よりも低抵抗なので、コンタクト 3 3 と P ウエル 1 1, 1 2 とが良好にオーミック接続される。従って、コンタクト 3 1, 3 2 及び P 型層 2 0 を介して P ウエル 1 1, 1 2 の電位を同時に又安定的に固定することができる。

【 0 0 5 7 】

このとき、異なるマスクを用いて両 P ウエル 1 1, 1 2 を形成することに起因してアライメントずれが生じた場合であっても、即ち図 1 2 の断面図及び図 1 3 の平面図に示すように両 P ウエル 1 1, 1 2 が接触していない場合であっても、P 型層 2 0 を介して P ウエル 1 2 の電位を安定的に固定することができる。

【 0 0 5 8 】

更に、従来の半導体層 1 P（図 2 2 参照）のように各 P ウエル 1 1 P, 1 2 P に対して P 型層 2 1 P, 2 2 P 及びコンタクト 3 1 P, 3 2 P を設ける必要がない。更に、領域 A R 3 内に従来の素子分離膜 5 1 B P を設けることなく、P 型層 2 0 を隣接の P ウエル 1 1, 1 2 間を最短で結ぶように P 型層 2 0 が設けられている。従って、従来の半導体装置 1 P と比較して、P 型層 2 0, コンタクト 3 1, 3 2 及び配線 4 0 のレイアウト面積を小さくすることができる。これにより、半導体装置（チップ）1 の全体のサイズを小さくすることができ、その結果、単位ウエハから取れる半導体装置の個数が増加し、コストを削減することができる。

【 0 0 5 9 】

更に、半導体装置 1 は 2 つのコンタクト 3 1, 3 2 を備えるので、いずれか一方の場合と比較して、P ウエル 1 1, 1 2 の電位を固定するためのコンタクト全体の抵抗を低減することができる。また、コンタクト 3 1 は P ウエル 1 1 に対面

して配置されており、コンタクト 3 2 は P ウエル 1 2 に対面して配置されている。これにより、コンタクト 3 1 を介して P ウエル 1 1 の電位をより安定的に固定することができると共に、コンタクト 3 2 を介して P ウエル 1 2 の電位をより安定的に固定することができる。

【 0 0 6 0 】

< 実施の形態 2 >

図 1 4 に実施の形態 2 に係る半導体装置 2 の断面図を示し、又、図 1 5 に半導体装置 2 の要部を説明するための模式的な平面図ないしはレイアウト図を示す。なお、以下の説明では、既述の構成要素と同等のものには同一の符号を付して重複の説明を省略する。かかる点は後述の実施の形態 3 等においても同様とする。

【 0 0 6 1 】

半導体装置 2 の領域 A R 3 内には既述の半導体装置 1（図 1 及び図 2 参照）と同様に両 P ウエル 1 1， 1 2 に跨る P 型層 2 0 が形成されている一方、半導体装置 1 とは異なり領域 A R 3 内にコンタクトホール 7 0 H 2 及びコンタクト 3 2 が形成されていない。即ち、領域 A R 3 内においてコンタクト 3 1 のみが P 型層 2 0 に接して配置されており、P 型層 2 0 を介して P ウエル 1 1， 1 2 を電氣的に接続されている。半導体装置 2 のその他の構成は半導体装置 1 と同様である。

【 0 0 6 2 】

なお、コンタクトホール 7 0 H 2 を形成しない点を除いて既述の製造方法を適用して半導体装置 2 を製造することができる。

【 0 0 6 3 】

半導体装置 2 によれば、既述の半導体装置 1 とは異なりコンタクト 3 1 のみが P 型層に接して配置されている。このため、半導体装置 1 と比較して、P 型層 2 0 の領域 A R 2 内のレイアウト面積を小さくすることができる（図 1 5 及び図 2 を参照）ので、半導体装置の小型化、単位ウエハから取れる半導体装置の個数の増大及びコストの削減をより推進することができる。更に、P 型層 2 0 上方に配線 4 0 以外の配線をも配置することができる。即ち、半導体装置 1 と比較して、レイアウトの自由度が向上する。

【 0 0 6 4 】

なお、コンタクト 3 1 を例えば P ウエル 1 1, 1 2 の境界上に設けても構わない。また、P ウエル 1 1, 1 2 が接していない場合（図 1 2 及び図 1 3 参照）における両 P ウエル 1 1, 1 2 間の領域上方にコンタクト 3 1 に設けても構わない（かかる場合、コンタクト 3 1 は P ウエル 1 1, 1 2 に対面しない）。

【 0 0 6 5 】

なお、コンタクト 3 1 に変えてコンタクト 3 2 のみを設けても良く、かかる場合にはコンタクト 3 1 が「第 1 コンタクト」にあたり、P ウエル 1 2 が「第 1 ウエル」にあたり、P ウエル 1 1 が「第 2 ウエル」にあたる。

【 0 0 6 6 】

＜実施の形態 3＞

図 1 6 に実施の形態 3 に係る半導体装置 3 の断面図を示し、又、図 1 7 に半導体装置 3 の要部を説明するための模式的な平面図ないしはレイアウト図を示す。

【 0 0 6 7 】

半導体装置 3 の領域 A R 3 内には既述の半導体装置 1（図 1 及び図 2 参照）と同様に両 P ウエル 1 1, 1 2 に跨る P 型層 2 0 が形成されている一方、半導体装置 1 とは異なり領域 A R 3 内にコンタクトホール 7 0 H 1, 7 0 H 2 及びコンタクト 3 1, 3 2 がいずれも形成されていない。

【 0 0 6 8 】

特に、半導体装置 3 では、領域 A R 1 内の領域 A R 4 内の表面 5 0 S 内に P ウエル 1 1 に接して導電層（第 2 導電層）2 1 が形成されている。なお、導電層 2 1 は P ウエル 1 1 上に設けられているが P ウエル 1 2 には接していない。導電層 2 1 は領域 A R 4 内の表面 5 0 S を低抵抗化して P ウエル 1 1 よりも浅い領域に形成され、P ウエル 1 1 よりも低抵抗の（換言すれば導電性の）P 型の半導体層（不純物導入層）から成る（このため導電層 2 1 を「P 型層 2 1」とも呼ぶ）。導電層 2 1 のシート抵抗は例えば 1 0 0 ～ 1 0 k Ω / \square 程度である。

【 0 0 6 9 】

なお、P ウエル 1 1 に接する限り、P 型層 2 1 を P ウエル 1 1 よりも深く形成しても構わない。また、ここでは、説明の簡単のため、P 型層 2 1 は領域 A R 4 内の表面 5 0 S 全域に渡って形成されているものとする。

【 0 0 7 0 】

更に、領域 A R 4 内の層間絶縁膜 7 0 に表面 7 0 S から P 型層 2 1 へ至るコンタクトホール 7 0 H 3 が形成されており、コンタクトホール 7 0 H 3 内に既述のコンタクト 3 1, 3 2 等と同様のコンタクト（第 1 コンタクト） 3 3 が P 型層 2 1 に接して形成されている。更に、層間絶縁膜 7 0 の表面 7 0 S 上にコンタクト 3 3 と接して配線 4 3 が形成されている。半導体装置 3 のその他の構成は半導体装置 1 と同様である。

【 0 0 7 1 】

なお、P 型層 2 1, コンタクトホール 7 0 H 3, コンタクト 3 3 及び配線 4 3 を P 型層 2 0, コンタクトホール 7 0 H, コンタクト 3 1 及び配線 4 0 と同様に形成することによって、既述の製造方法を適用して半導体装置 3 を製造することができる。

【 0 0 7 2 】

半導体装置 3 によれば、以下の効果を得ることができる。即ち、コンタクト 3 3 と P ウエル 1 1 とを P 型層 2 1 を介して確実にオーミック接続することができるので、P ウエル 1 1 の電位を安定的に固定することができる。このとき、両 P ウエル 1 1, 1 2 の接触／非接触に関わらず、P 型層 2 0 を介して P ウエル 1 2 の電位を安定的に固定することができる。

【 0 0 7 3 】

更に、P 型層 2 0 に対してコンタクトを設ける必要が無い。このため、既述の半導体装置 1, 2 と比較して、P 型層 2 0 のレイアウト面積を更に小さくすることができる（図 1 7, 図 2 及び図 1 5 を参照）ので、半導体装置の小型化、単位ウエハから取れる半導体装置の個数の増大及びコストの削減をより推進することができる。このとき、配線 4 0 （図 1 参照）を P 型層 2 0 付近に設ける必要が全く無いので、P 型層 2 0 上方に他の配線を配置することができる。即ち、半導体装置 1, 2 と比較して、レイアウトの自由度がいっそう向上する。

【 0 0 7 4 】

なお、P 型層 2 0 及びコンタクト 3 3 を P ウエル 1 2 に対して設けても良く、かかる場合には P ウエル 1 2 が「第 1 ウエル」にあたり、P ウエル 1 1 が「第 2

ウエル」にあたる。

【0075】

＜実施の形態4＞

図18に実施の形態4に係る半導体装置4の断面図を示す。半導体装置4は基本的に既述の半導体装置3（図16参照）と同様の構造を有するが、半導体装置3のP型層（導電層）20, 21, ソース／ドレイン領域61及びゲート電極62に変えて、（第1）導電層20B, （第2）導電層21B, ソース／ドレイン領域61B及びゲート電極62Bを備える。既述のP型層（導電層）20, 21, ソース／ドレイン領域61及びゲート電極62は単一の材料（シリコン）から成るのに対して、導電層20B, 21B, ソース／ドレイン領域61B及びゲート電極62BはそれぞれPウエル11, 12と同じ導電型であるP型の半導体層（不純物導入層）と、基板50の材料（ここではシリコン）と金属との化合物層とを含んで成る。上記金属として例えばTi, Ni, Co等が適用可能であり、このとき上記化合物はいわゆるシリサイドにあたる。

【0076】

詳細には、（第1）導電層20B及び（第2）導電層21Bは、基板50の表面50S内に形成されたシリサイド層（化合物層）20bと、当該シリサイド層20bに接するシリコン層20aとで構成される。シリコン層20aはP型層20, 21と同様にPウエル11, 12よりも低抵抗のP型の半導体から成る。

【0077】

ここでは、シリコン層20aの全体がシリサイド層20bよりも表面50Sから深い位置に形成されている場合を説明するが、シリコン層20aが表面50S内においてシリサイド層20bを取り囲んで形成されていても、換言すればシリコン層20a内にシリサイド層20bが形成されていても構わない。なお、半導体装置4では導電層21Bのシリサイド層21bに接してコンタクト33が配置される。

【0078】

ソース／ドレイン領域61Bは、基板50の表面50S内に形成されたシリサイド層61bと、当該シリサイド層61bに接するシリコン層61aとで構成さ

れる。なお、シリコン層 6 1 a は既述のソース／ドレイン領域 6 1 と同様の材料から成る。また、ゲート電極 6 2 B は、基板 5 0 の表面 5 0 S 上に形成されたシリコン（例えばポリシリコン）層 6 2 a と、シリコン層 6 2 a 上に基板 5 0 と共にシリコン層 6 2 a を挟んで形成されたシリサイド層 6 2 b とで構成される。なお、半導体装置 4 の他の構成は半導体装置 3 と同様である。

【 0 0 7 9 】

次に、図 1 9 及び図 2 0 に半導体装置 4 の製造方法を説明するための断面図を示し、これらを参照しつつ半導体装置 4 の製造方法を説明する。まず、既述の製造方法等を用いて図 1 0 に示す状態の基板ないしは半導体装置を準備する。ここではゲート電極 6 2 はポリシリコンから成るものとする。

【 0 0 8 0 】

次に、P 型層 2 0，2 1 等を覆って表面 5 0 S 上に Ti，Ni，Co 等の金属膜 6 7 を形成する（図 1 9 参照）。続いて、熱処理を施すことによって、金属膜 6 7 と当該金属膜 6 7 に接するシリコンから成る P 型層 2 0，2 1 等との間でシリサイド反応を生じさせる。これにより、P 型層 2 0，2 1 がシリサイド化してシリサイド層 2 0 b，6 1 b，6 2 b が形成される。このとき、各層 2 0，2 1，6 1，6 2 の残存した部分がシリコン層 2 0 a，6 1 a，6 2 a を成す。かかる工程により、導電層 2 0 B，2 1 B，ソース／ドレイン領域 6 1 B 及びゲート電極 6 2 B が形成される。その後、金属膜 6 7 の未反応部分を除去する（図 2 0 参照）。なお、表面 5 0 S 上にシリサイドを堆積することによりシリサイド層 2 0 b を形成し、これによって表面 5 0 S を低抵抗化することも可能である。

【 0 0 8 1 】

その後、既述の製造方法等を用いて層間絶縁膜 7 0，コンタクト 3 3，6 5 及び配線 4 3，6 6 を形成することによって、図 1 8 の半導体装置 4 が完成する。

【 0 0 8 2 】

半導体装置 4 によれば、導電層 2 0 B，2 1 B がシリサイド層 2 0 b（半導体と金属との化合物）を含むので、P 型層 2 0，2 1 よりも抵抗を大幅に低減することができる。従って、半導体装置 3 と比較してより安定的に P ウエル 1 1，1 2 の電位を固定することができる。なお、半導体装置 3 の P 型層 2 0，2 1 のい

いずれか一方のみを導電層 2 0 B 又は 2 1 B に変えても上述の効果を得ることができる。また、導電層 2 1 B は P ウエル 1 1 よりも低抵抗なので、P ウエル 1 1 とコンタクト 3 3 とを良好にオーミック接続することができる。

【 0 0 8 3 】

＜実施の形態 4 の変形例 1＞

なお、図 2 1 の断面図に示す半導体装置 5 のように半導体装置 1 の P 型層（導電層）2 0 等に変えて上述の導電層 2 0 B 等を適用しても良い。このとき、導電層 2 0 B のシリサイド層 2 0 b に接してコンタクト 3 1, 3 2 が配置される。半導体装置 5 によっても、P ウエル 1 1, 1 2 の電位を安定的に固定することができるし、P ウエル 1 1, 1 2 とコンタクト 3 1, 3 2 とを良好にオーミック接続することができる。同様に、半導体装置 2 の P 型層（導電層）2 0 等に変えて導電層 2 0 B 等を適用しても構わない。

【 0 0 8 4 】

＜実施の形態 4 の変形例 2＞

また、導電層 2 0 B, 2 1 B, ソース／ドレイン領域 6 1 B 及びゲート電極 6 2 B の全体をシリサイド（化合物層）で以て構成しても良く、半導体装置 4 と同様の効果を得ることができる。

【 0 0 8 5 】

一般的にシリサイドはシリコンよりも低抵抗であるので、P 型層 2 0, 2 1 よりも高抵抗の P ウエル 1 1, 1 2 又は基板 5 0 をシリサイド化しても低抵抗の導電層 2 0 B, 2 1 B を形成することができる。即ち、半導体装置 5 の製造工程では予め P 型層 2 0, 2 1 を形成する必要が無い。かかる点に鑑みれば、導電層 2 0, 2 1 のシリサイド部分の原料となるシリコンは不純物がドーピングされていなくても構わない。

【 0 0 8 6 】

＜実施の形態 1 ～ 4 の共通の変形例 1＞

なお、2 つの P ウエル 1 1, 1 2 が同じ不純物プロファイルを有する場合であっても、導電層 2 0, 2 1 による既述の効果が発揮される。

【 0 0 8 7 】

＜実施の形態 1 ～ 4 の共通の変形例 2＞

また、上述の各半導体装置において導電型を反対にしても、即ち N 型と P 型とを互いに入れ替えても、既述の各半導体装置と同様の効果が得られる。

【 0 0 8 8 】

【発明の効果】

(1) 請求項 1 に係る発明によれば、第 1 ウエルと第 2 ウエルとが第 1 導電層を介して電氣的に接続されているので、第 1 コンタクトを介して第 1 ウエルの電位を固定することによって第 2 ウエルの電位を固定することができる。換言すれば第 1 コンタクトによって第 1 ウエル及び第 2 ウエルの電位を同時に固定することができる。このとき、第 1 ウエルと第 2 ウエルとの接触／非接触に関わらず、第 1 導電層を介して第 2 ウエルの電位を安定的に固定することができる。

【 0 0 8 9 】

更に、当該半導体装置によれば、第 1 ウエル及び第 2 ウエルのそれぞれに対して導電層及びコンタクトを設ける必要がない。このため、第 1 ウエル及び第 2 ウエルのそれぞれに対して導電層及びコンタクトを設けた従来の半導体装置と比較して、第 1 ウエル及び第 2 ウエルの電位を固定するための要素のレイアウト面積を小さくすることができる。特に、隣接する第 1 ウエルと第 2 ウエルとの間を最短に結ぶように第 1 導電層を設けることによって、上述のレイアウト面積を大幅に削減することができる。従って、半導体装置（チップ）の全体のサイズを小さくすることができ、その結果、単位ウエハから取れる半導体装置の個数が増加し、コストを削減することができる。

【 0 0 9 0 】

このとき、第 1 導電層に接するコンタクトを第 1 コンタクトのみとすることによって、第 1 導電層付近に、第 1 ウエル及び第 2 ウエルの電位を固定するための配線以外の配線を配置することができる。即ち、第 1 導電層に接して複数のコンタクトを設ける場合と比較して、レイアウトの自由度が向上する。

【 0 0 9 1 】

(2) 請求項 2 に係る発明によれば、第 1 コンタクトは第 1 導電層を介して第 1 ウエルと確実に電氣的に接続することができるので、第 1 ウエル及び第 2 ウエ

ルの電位を安定的に固定することができる。

【 0 0 9 2 】

(3) 請求項 3 に係る発明によれば、第 1 コンタクトのみの場合と比較して、第 1 ウエル及び第 2 ウエルの電位を固定するためのコンタクト全体の抵抗を低減することができる。

【 0 0 9 3 】

(4) 請求項 4 に係る発明によれば、第 1 コンタクトは第 1 導電層を介して第 1 ウエルと近接し、第 2 コンタクトは第 2 導電層を介して第 2 ウエルと近接する。これにより、第 1 コンタクトを介して第 1 ウエルの電位をより安定的に固定することができると共に、第 2 コンタクトを介して第 2 ウエルの電位をより安定的に固定することができる。

【 0 0 9 4 】

(5) 請求項 5 に係る発明によれば、第 1 コンタクトと第 1 ウエルとを第 2 導電層を介して確実に電氣的に接続することができるので、第 1 ウエルの電位を安定的に固定することができる。このとき、第 1 ウエルと第 2 ウエルとの接触／非接触に関わらず、第 1 導電層を介して第 2 ウエルの電位を安定的に固定することができる。

【 0 0 9 5 】

このとき、第 1 導電層に対してコンタクトを設ける必要性を無くすることができる。このため、第 1 導電層に対してコンタクトを設ける場合と比較して第 1 導電層のレイアウト面積を小さくすることができるので、半導体装置の小型化、単位ウエハから取れる半導体装置の個数の増大及びコストの削減を図ることができる。更に、第 1 導電層に接続されるコンタクト用の配線を第 1 導電層付近に設ける必要が全く無いので、第 1 導電層付近に他の配線を配置することができる。即ち、レイアウトの自由度がいっそう向上する。

【 0 0 9 6 】

(6) 請求項 6 に係る発明によれば、第 1 導電層に確実に導電性を付与することができる。特に、第 1 導電層が化合物層を含むことによって、第 1 導電層の抵抗を大幅に低減することができ、第 1 導電層が不純物導入層のみから成る場合と

比較してより安定的に第 1 ウエル及び第 2 ウエルの電位を固定することができる。

【0097】

(7) 請求項 7 に係る発明によれば、ウエルとコンタクトとを良好にオーミック接続することができる。

【0098】

(8) 請求項 8 に係る発明によれば、第 2 導電層に確実に導電性を付与することができる。特に、第 2 導電層が化合物層を含むことによって、第 2 導電層の抵抗を大幅に低減することができ、第 2 導電層が不純物導入層のみから成る場合と比較してより安定的に第 1 ウエル及び第 2 ウエルの電位を固定することができる。

【0099】

(9) 請求項 9 に係る発明によれば、ウエルとコンタクトとを良好にオーミック接続することができる。

【0100】

(10) 請求項 10 に係る発明によれば、第 1 ウエルと第 2 ウエルとは異なる不純物プロファイルを有するので、一般的に第 1 ウエルと第 2 ウエルとは異なるマスクを用いて別々の工程で形成される。このとき、異なるマスクを用いることに起因してアライメントずれが生じ第 1 ウエルと第 2 ウエルとが接しない形態に形成された場合であっても、上述の (1) 乃至 (9) のいずれかの効果を得ることができる。

【図面の簡単な説明】

【図 1】 実施の形態 1 に係る半導体装置の断面図である。

【図 2】 実施の形態 1 に係る半導体装置の要部を説明するための模式的な平面図である。

【図 3】 実施の形態 1 に係る半導体装置の製造方法を説明するための断面図である。

【図 4】 実施の形態 1 に係る半導体装置の製造方法を説明するための断面図である。

【図 5】 実施の形態 1 に係る半導体装置の製造方法を説明するための断面図である。

【図 6】 実施の形態 1 に係る半導体装置の製造方法を説明するための断面図である。

【図 7】 実施の形態 1 に係る半導体装置の製造方法を説明するための断面図である。

【図 8】 実施の形態 1 に係る半導体装置の製造方法を説明するための断面図である。

【図 9】 実施の形態 1 に係る半導体装置の製造方法を説明するための断面図である。

【図 1 0】 実施の形態 1 に係る半導体装置の製造方法を説明するための断面図である。

【図 1 1】 実施の形態 1 に係る半導体装置の製造方法を説明するための断面図である。

【図 1 2】 実施の形態 1 に係る半導体装置を説明するための断面図である。

【図 1 3】 図 1 2 に示す半導体装置の要部を説明するための模式的な平面図である。

【図 1 4】 実施の形態 2 に係る半導体装置の断面図である。

【図 1 5】 実施の形態 2 に係る半導体装置の要部を説明するための模式的な平面図である。

【図 1 6】 実施の形態 3 に係る半導体装置の断面図である。

【図 1 7】 実施の形態 3 に係る半導体装置の要部を説明するための模式的な平面図である。

【図 1 8】 実施の形態 4 に係る半導体装置の断面図である。

【図 1 9】 実施の形態 4 に係る半導体装置の製造方法を説明するための断面図である。

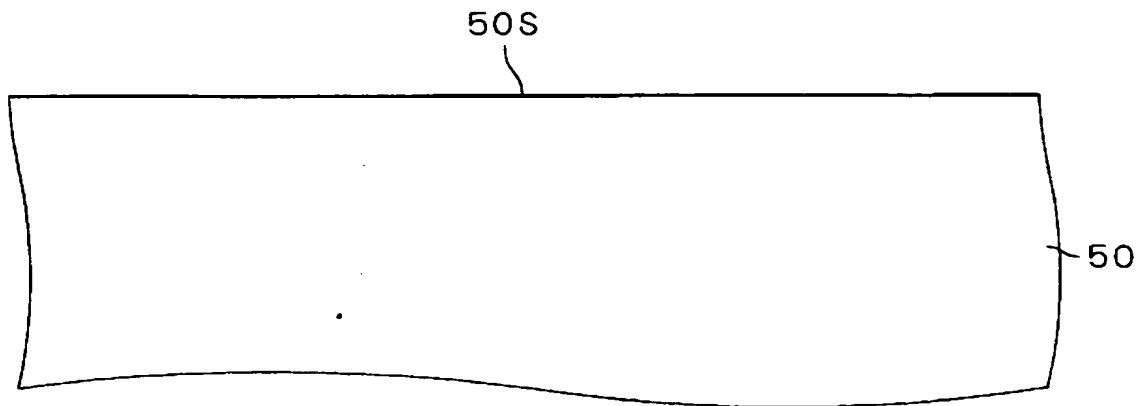
【図 2 0】 実施の形態 4 に係る半導体装置の製造方法を説明するための断面図である。

- 【図 2 1】 実施の形態 4 の変形例 1 に係る半導体装置の断面図である。
- 【図 2 2】 従来の半導体装置の断面図である。
- 【図 2 3】 従来の半導体装置の要部を説明するための模式的な平面図である。
- 【図 2 4】 従来の半導体装置の製造方法を説明するための断面図である。
- 【図 2 5】 従来の半導体装置の製造方法を説明するための断面図である。
- 【図 2 6】 従来の半導体装置の製造方法を説明するための断面図である。
- 【図 2 7】 従来の半導体装置の製造方法を説明するための断面図である。
- 【図 2 8】 従来の半導体装置の製造方法を説明するための断面図である。
- 【図 2 9】 従来の半導体装置の製造方法を説明するための断面図である。
- 【図 3 0】 従来の半導体装置を説明するための断面図である。
- 【図 3 1】 従来の他の半導体装置の断面図である。
- 【図 3 2】 従来の他の半導体装置の要部を説明するための模式的な平面図である。

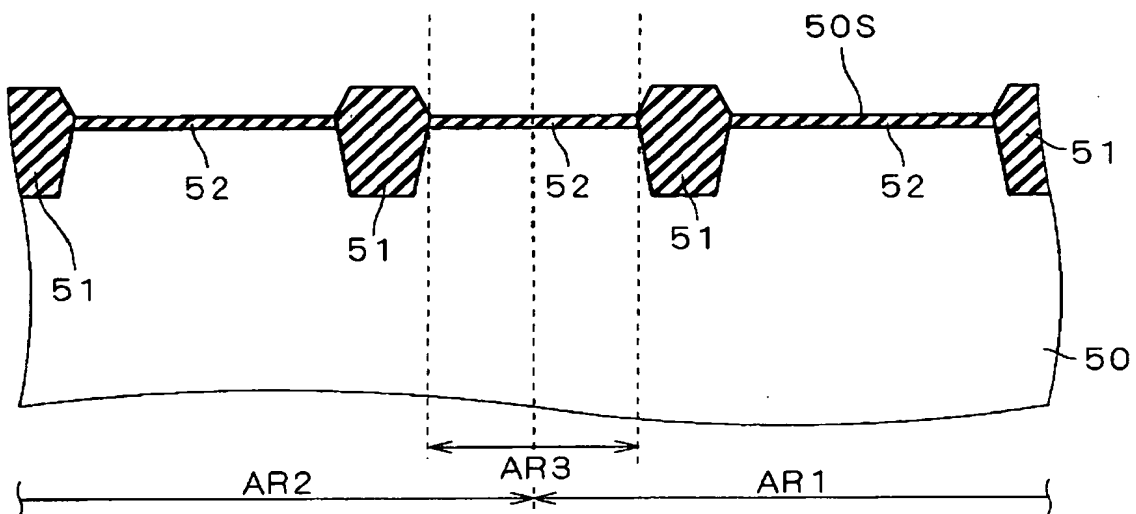
【符号の説明】

1 ～ 5 半導体装置、 1 1 P ウェル（第 1 ウェル）、 1 2 P ウェル（第 2 ウェル）、 2 0 P 型層（第 1 導電層）、 2 0 B （第 1）導電層、 2 0 a シリコン層（不純物導入層）、 2 0 b シリサイド層（化合物層）、 2 1 P 型層（第 2 導電層）、 2 1 B （第 2）導電層、 3 1, 3 3 コンタクト（第 1 コンタクト）、 3 2 コンタクト（第 2 コンタクト）、 5 0 半導体基板、 5 0 S 表面、 1 1 1 N ウェル（第 1 ウェル）、 1 1 2 N ウェル（第 2 ウェル）、 1 2 0 N 型層（第 1 導電層）、 1 3 1 コンタクト（第 1 コンタクト）。

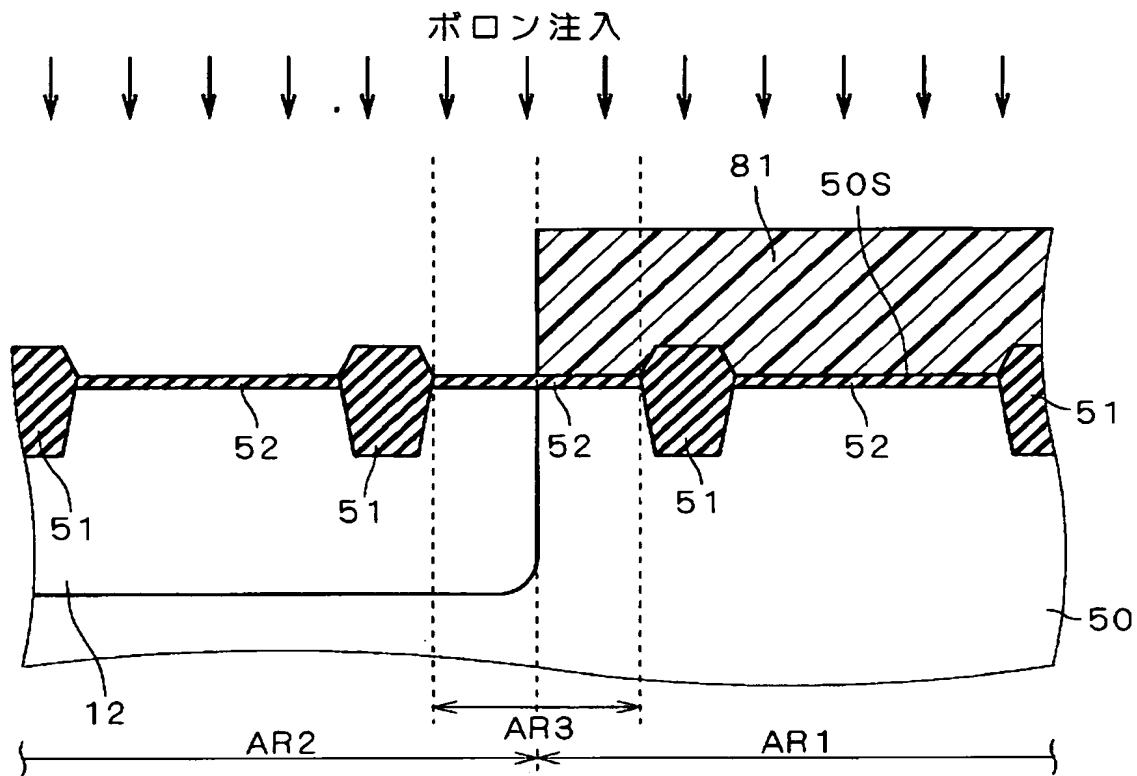
【図 3】



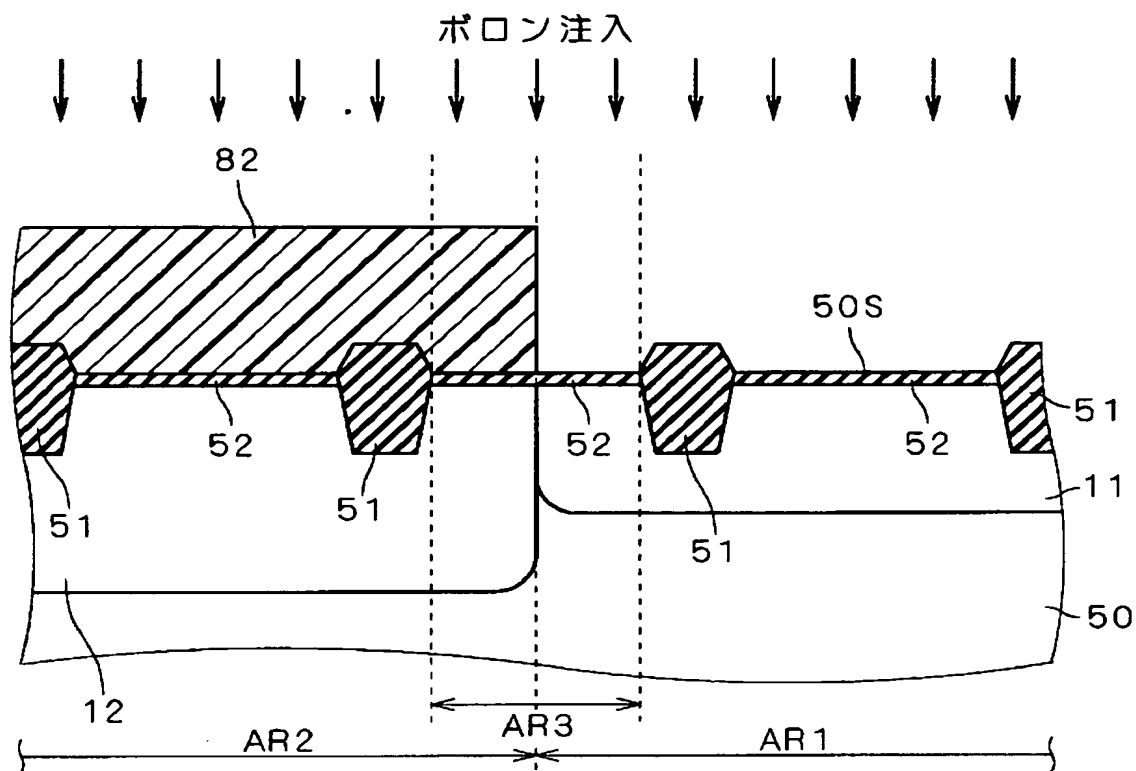
【図 4】



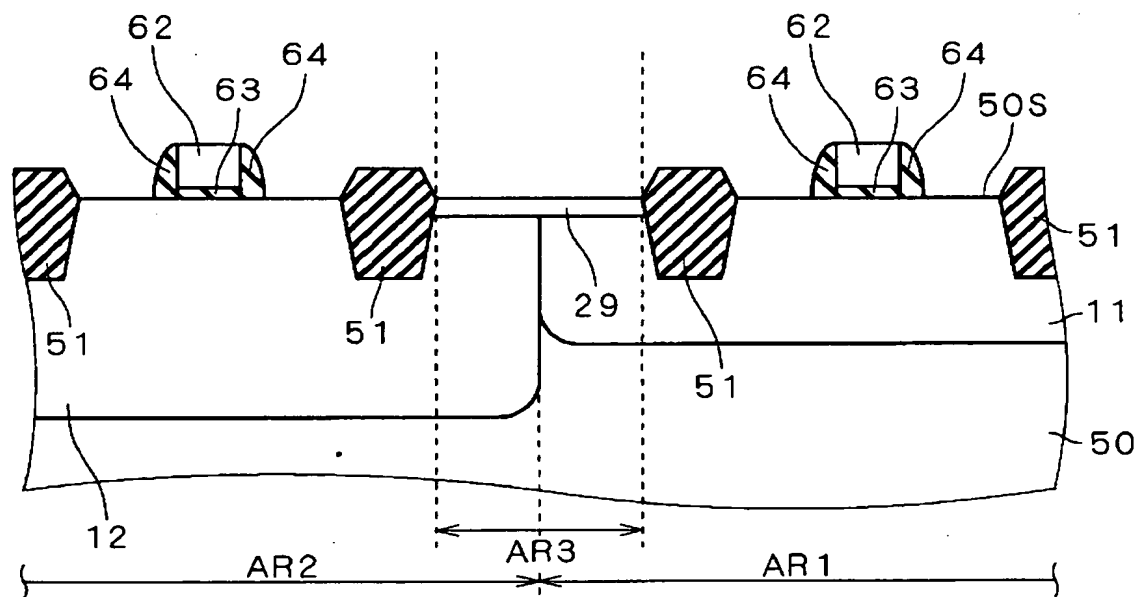
【図 5】



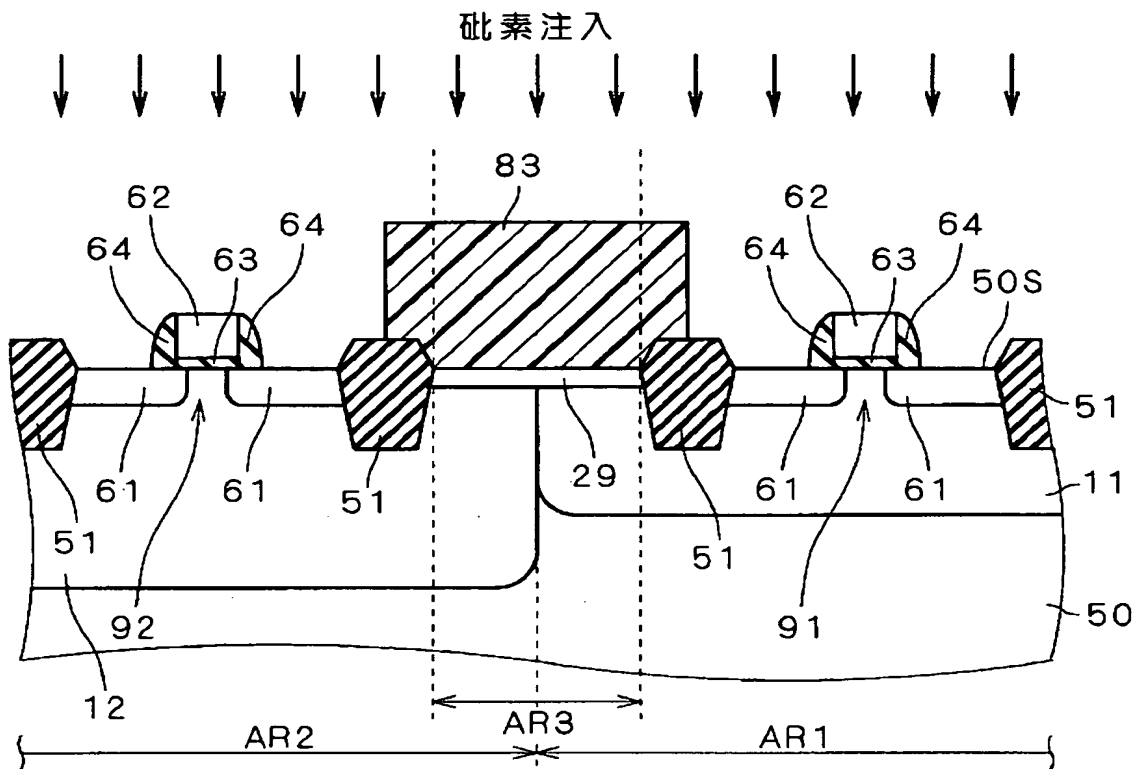
【図 6】



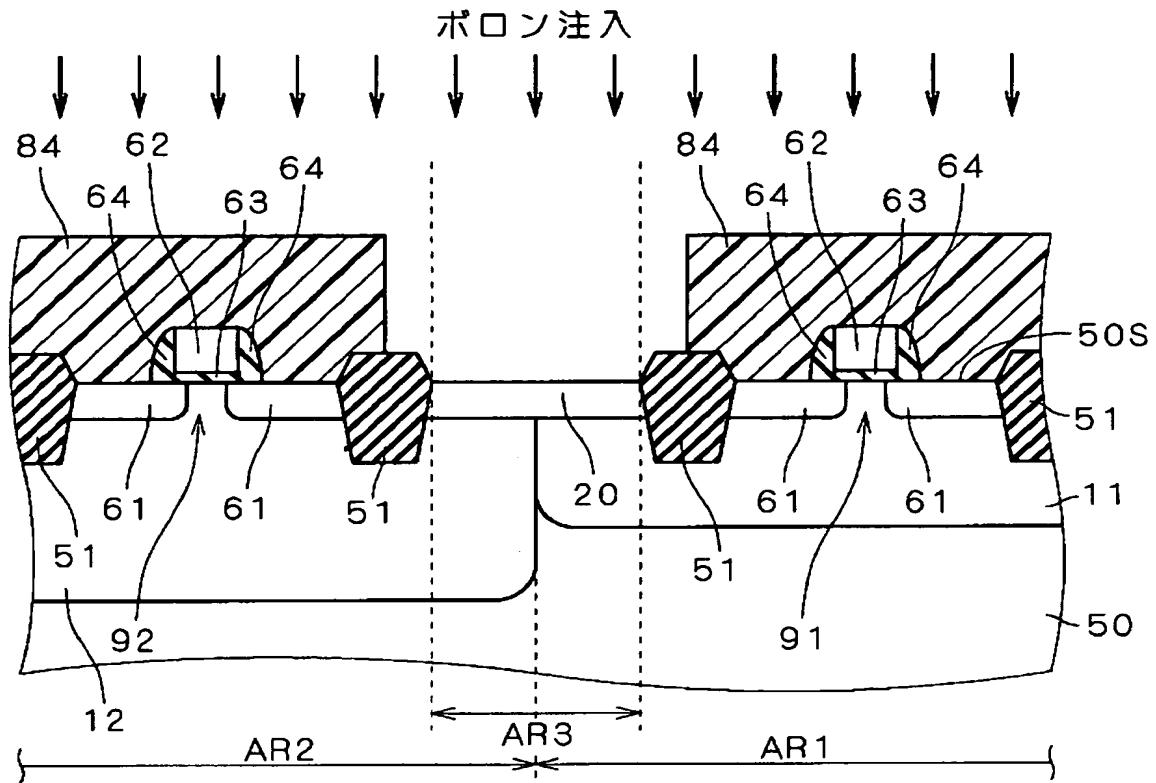
【図 7】



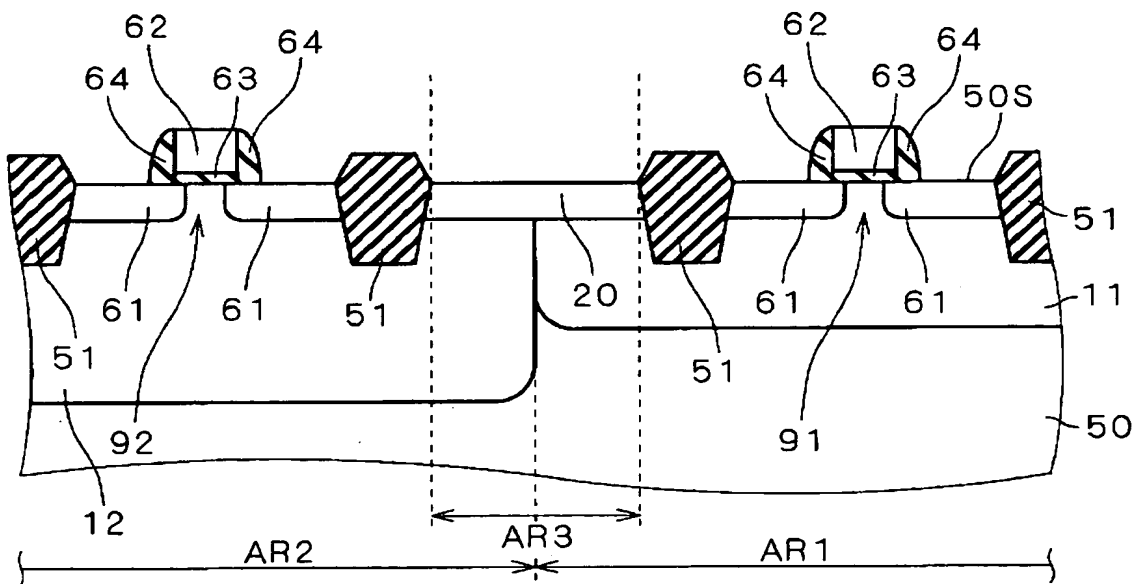
【図 8】



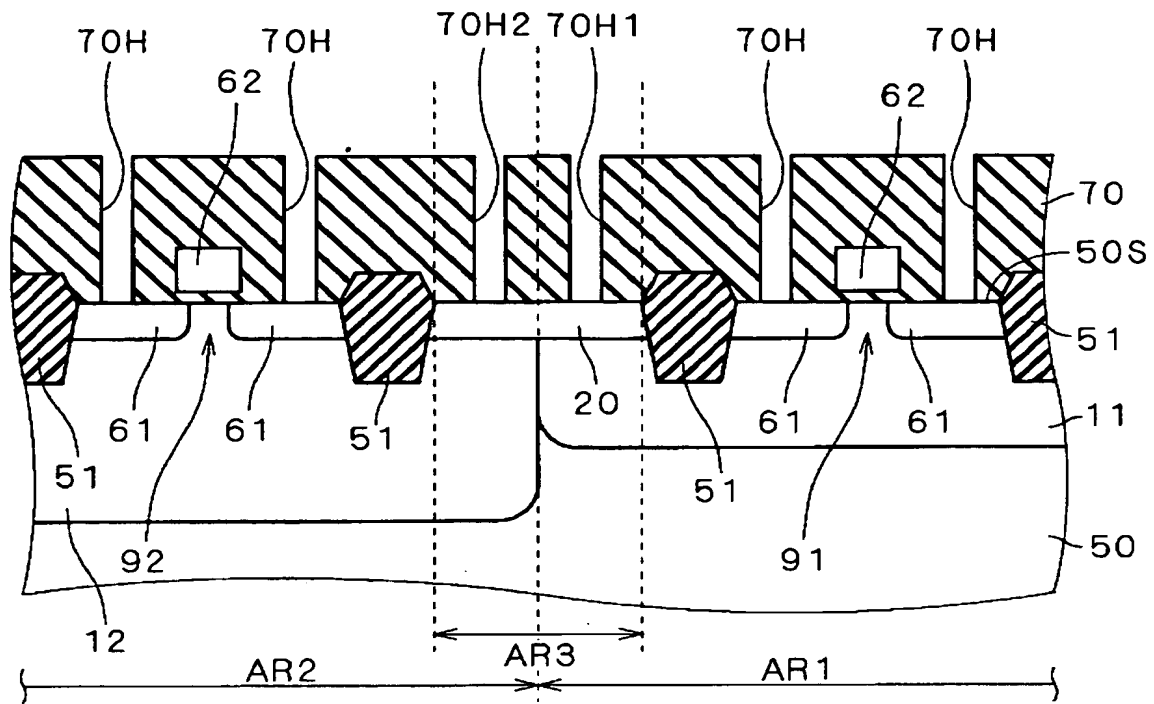
【図9】



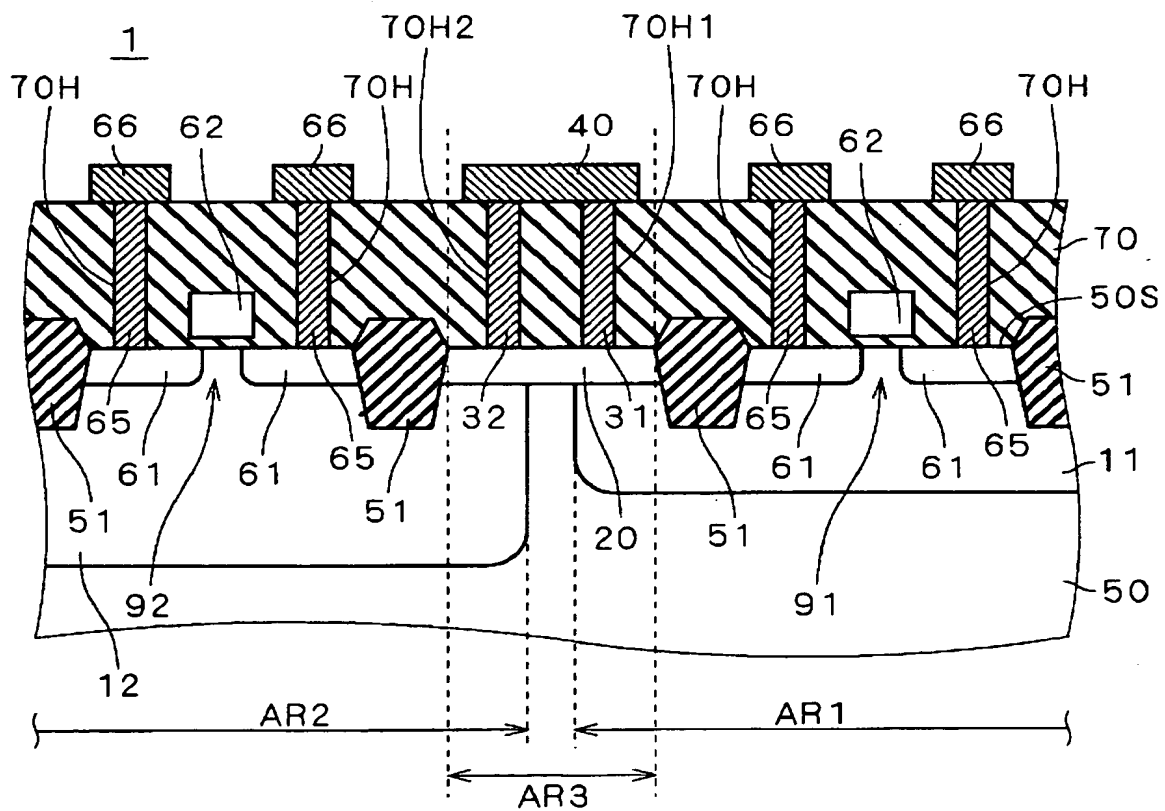
【図10】



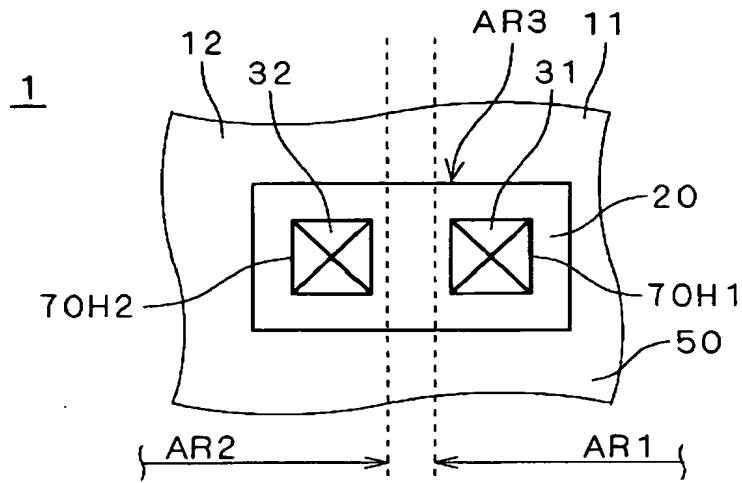
【図 1 1】



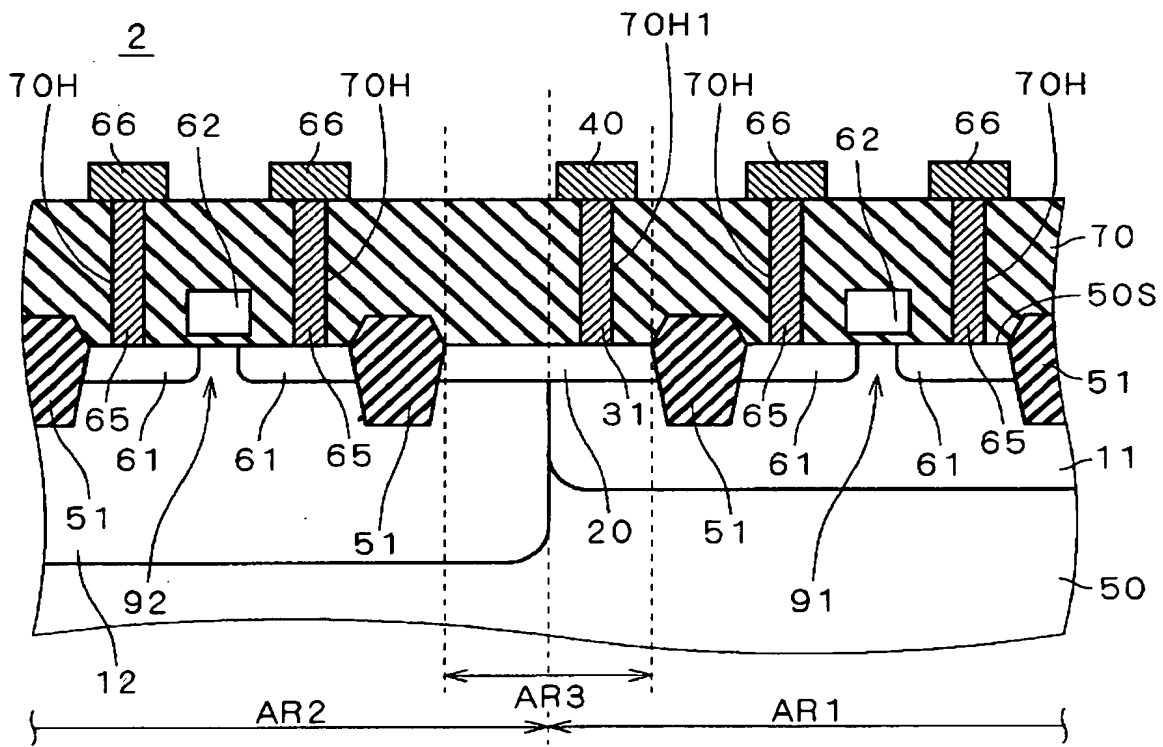
【図 1 2】



【図 1 3】

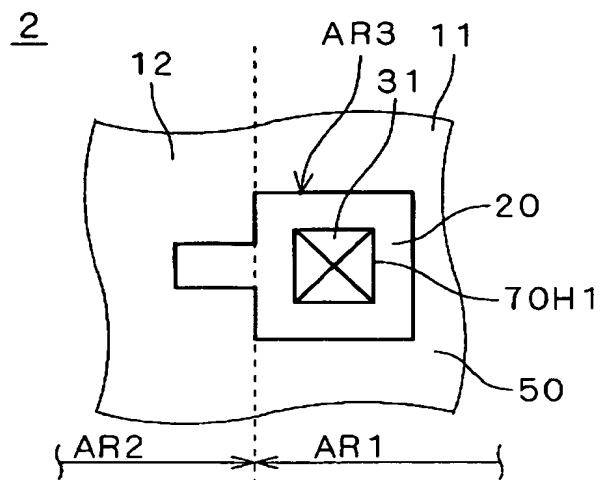


【図 1 4】

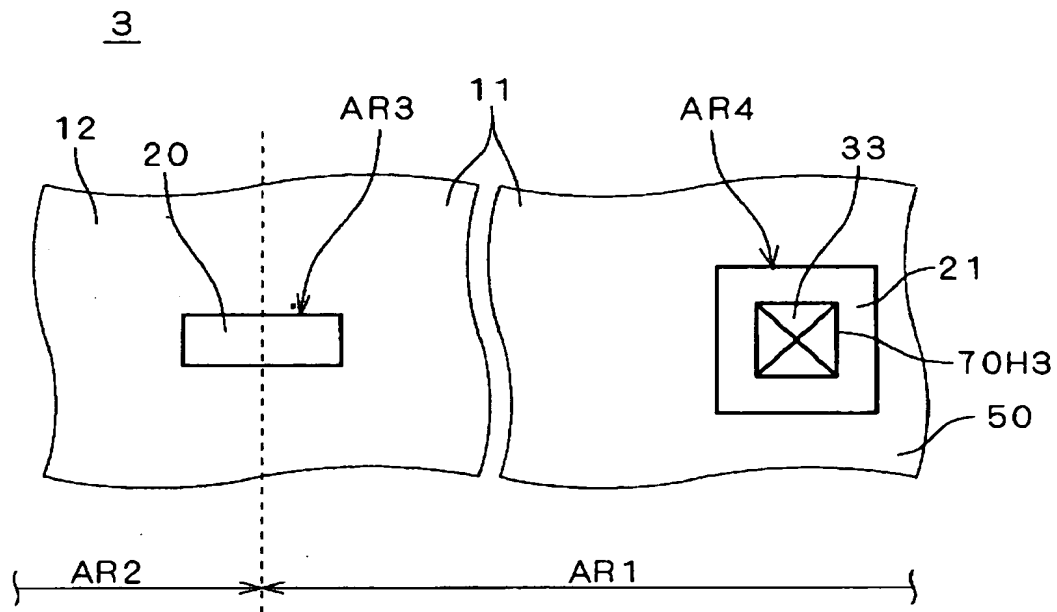


2 : 半導体装置

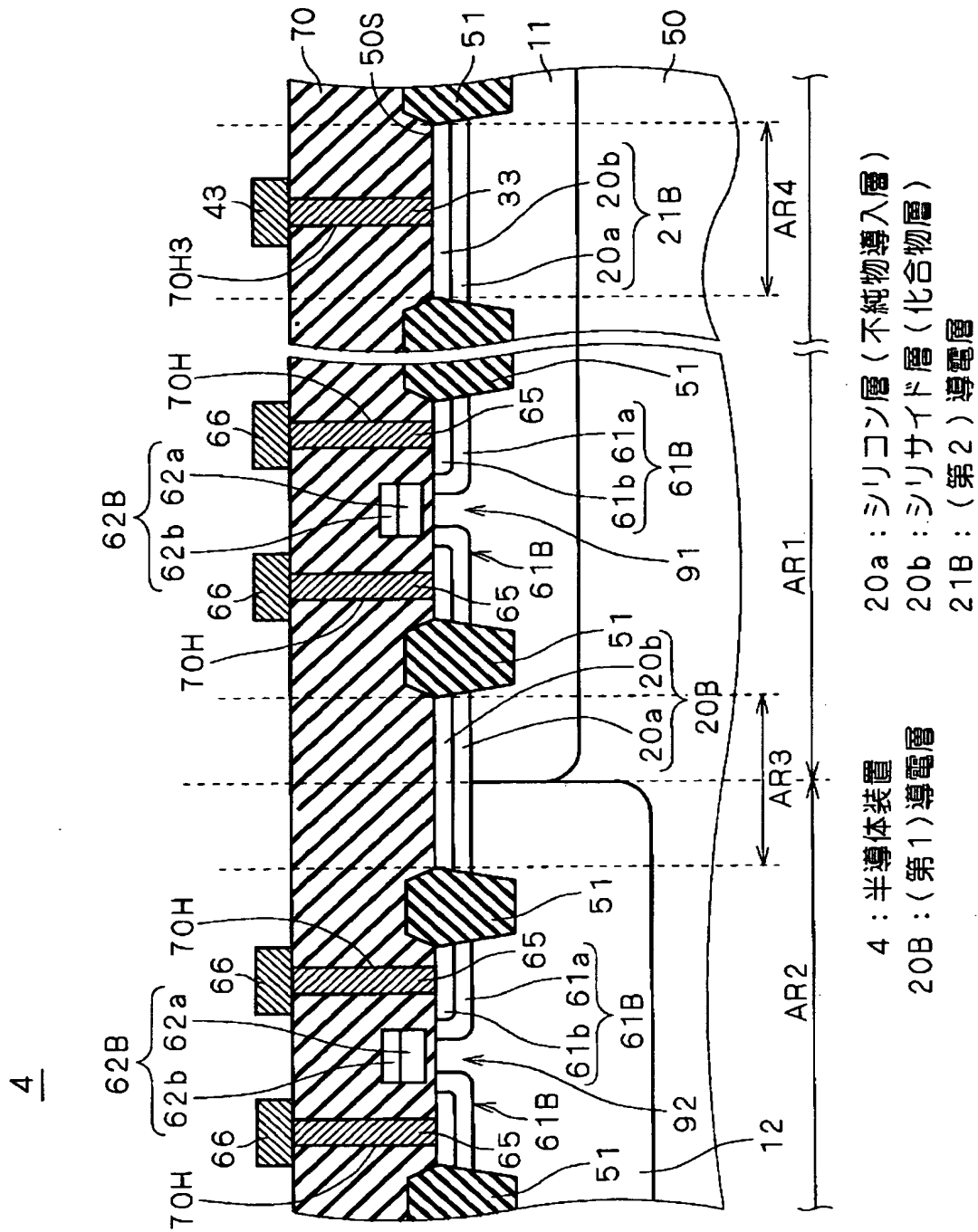
【図 1 5】



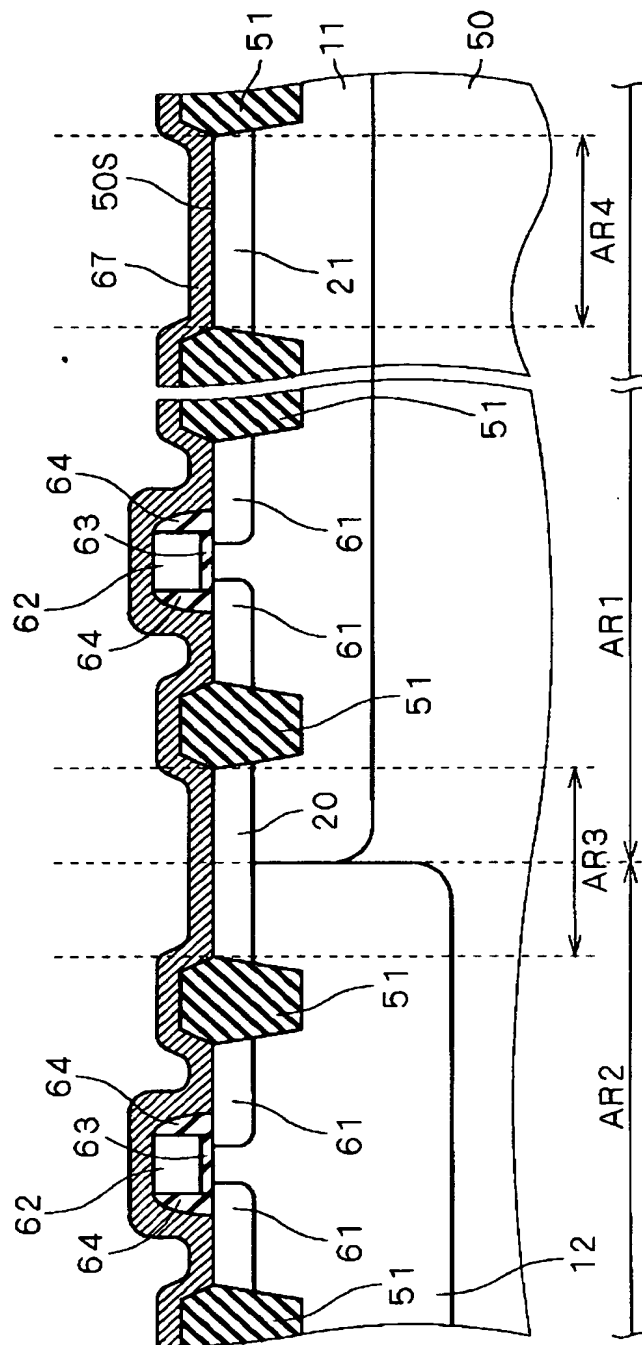
【図 1 7】



【图 18】

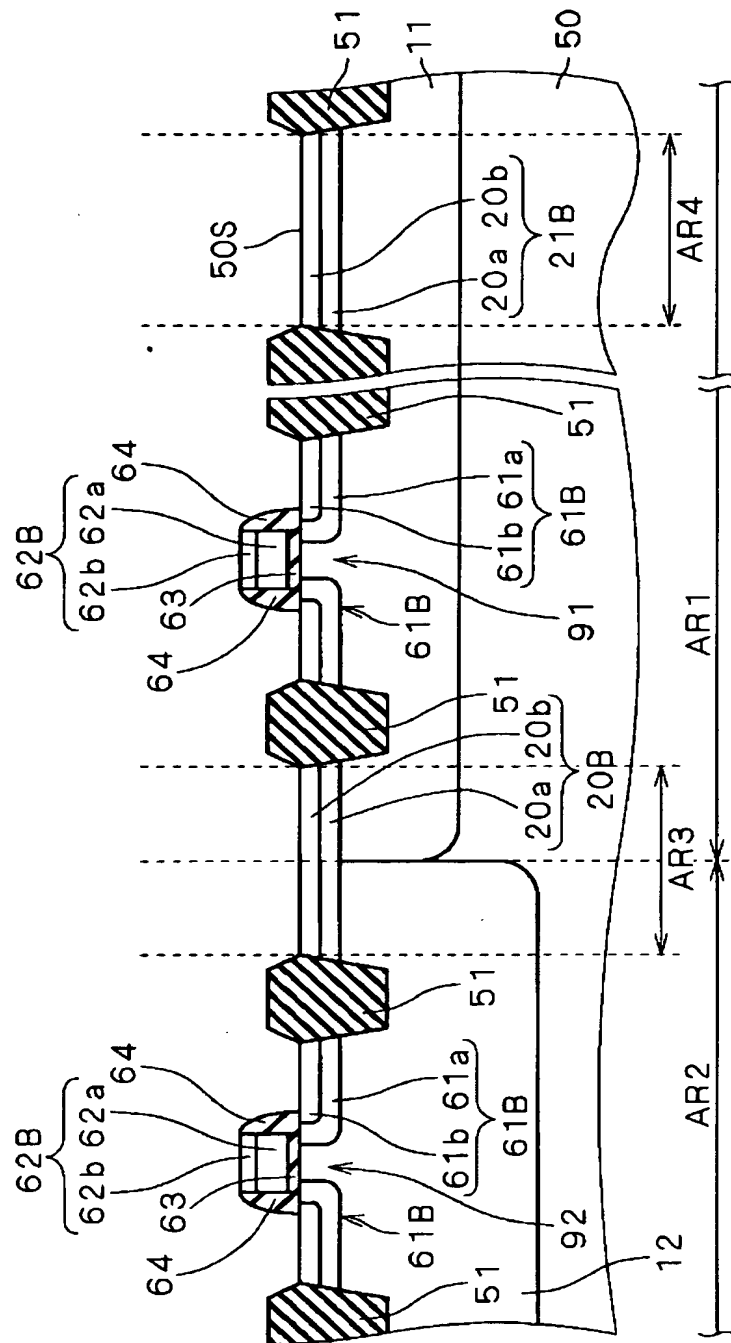


【図 19】



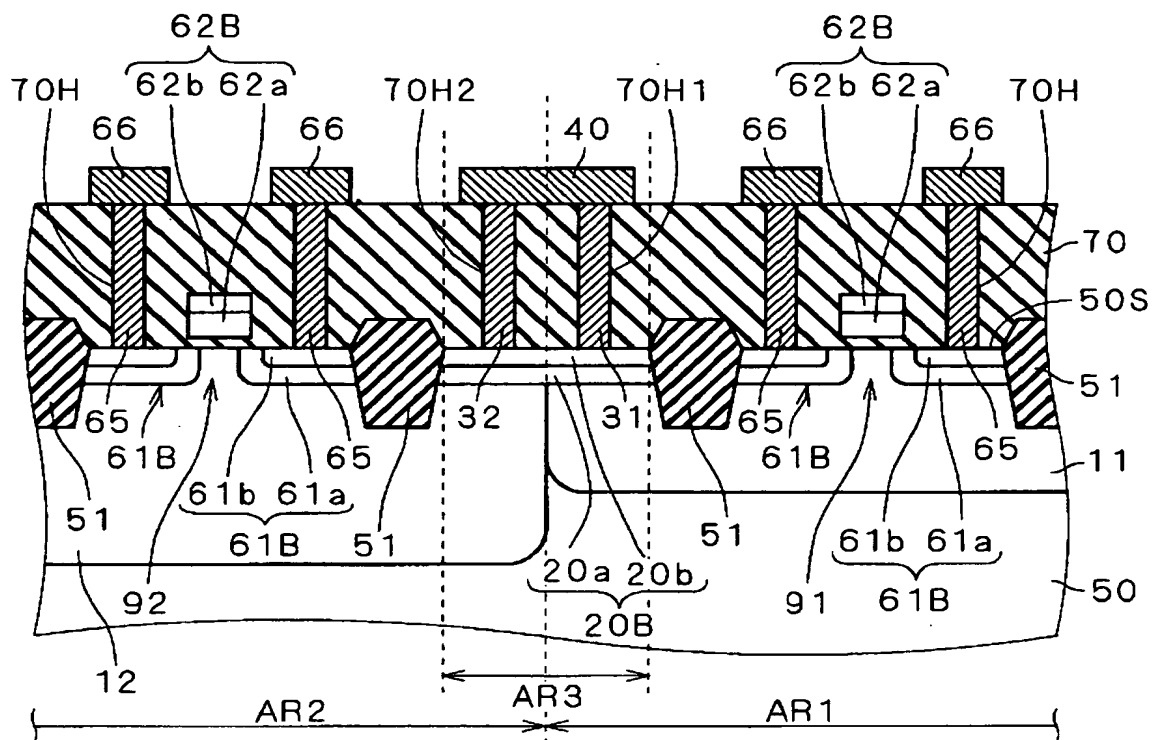
67 : 金属膜

【図20】



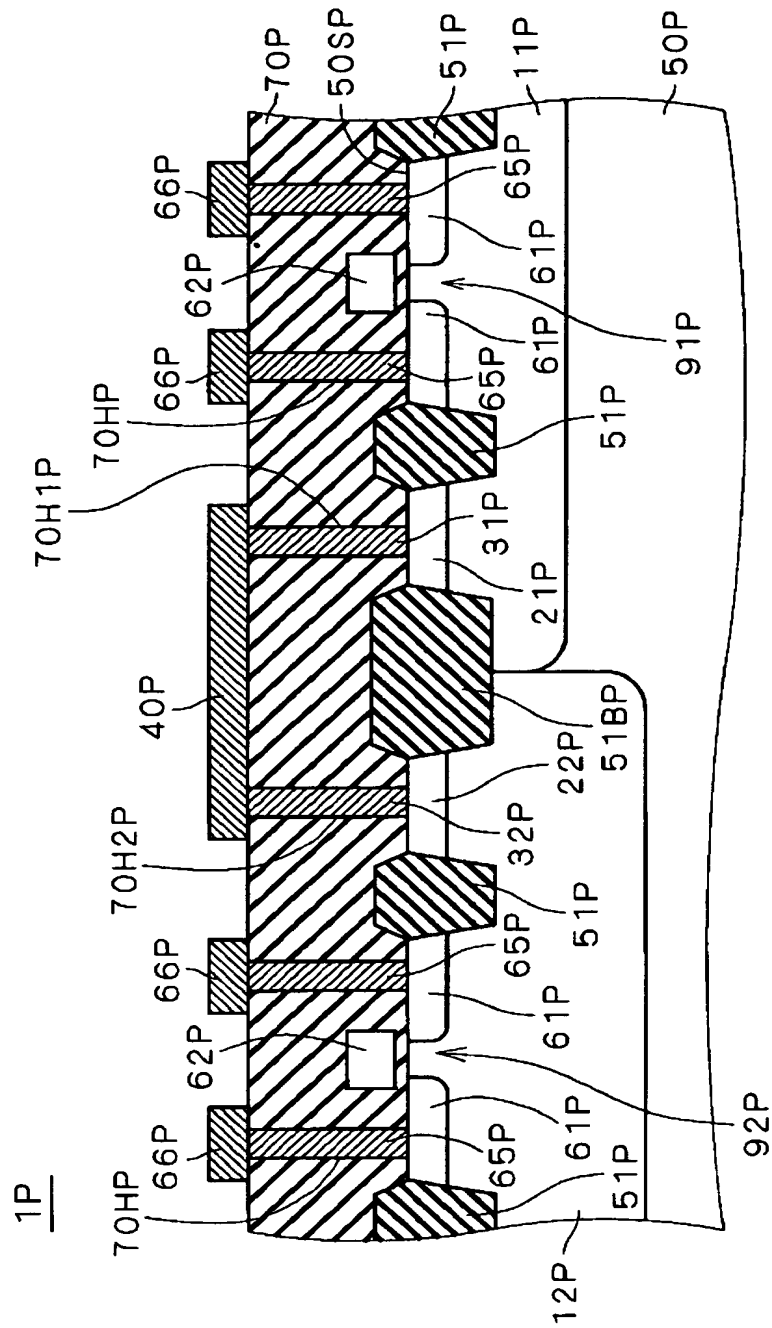
【図 21】

5

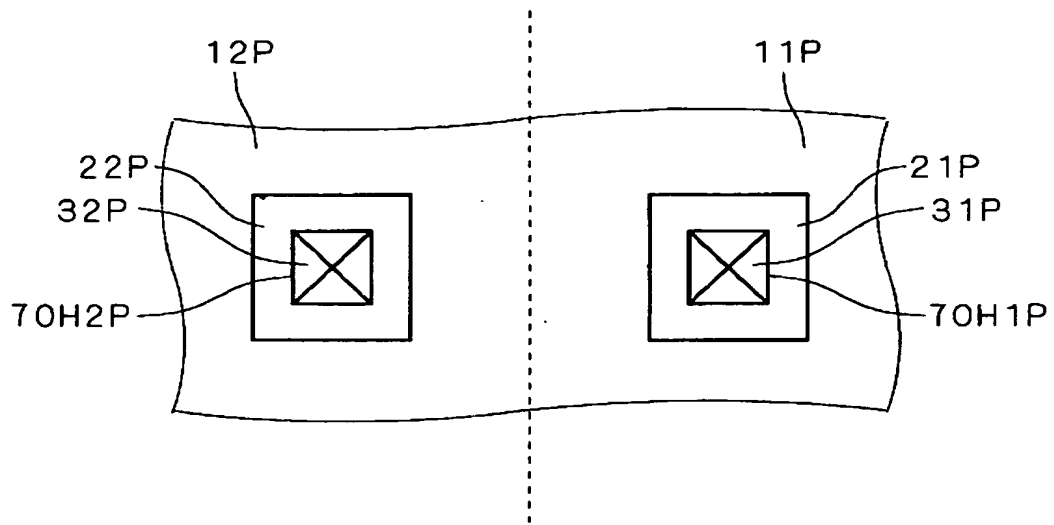


5 : 半導体装置

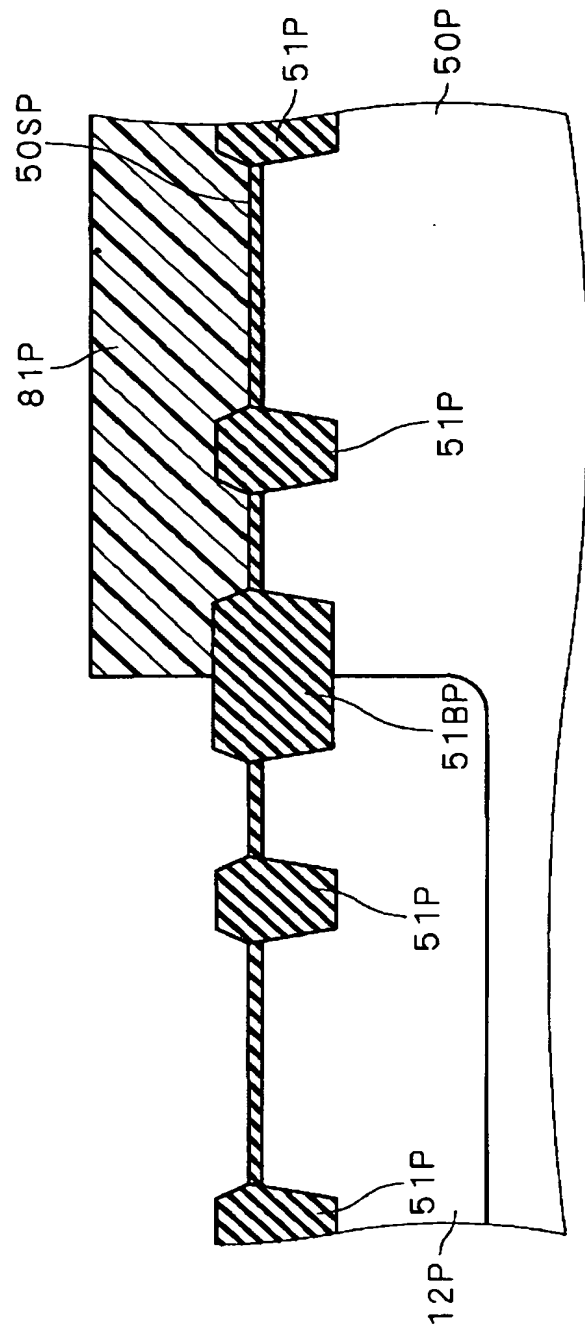
【图 2 2】



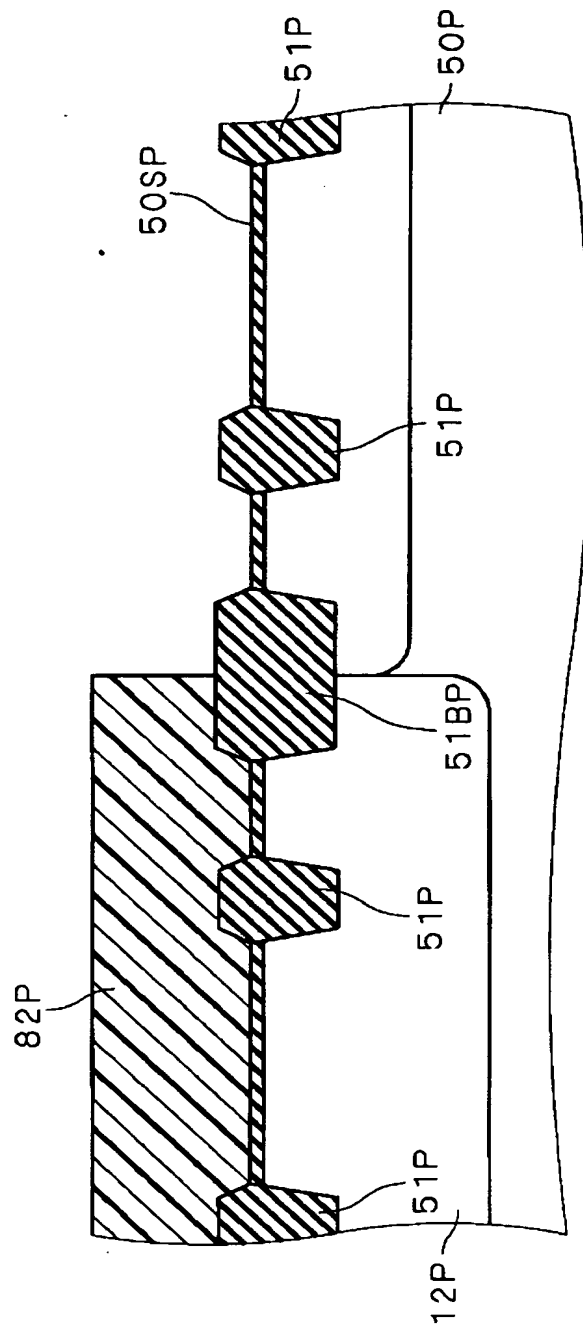
【図 2 3】



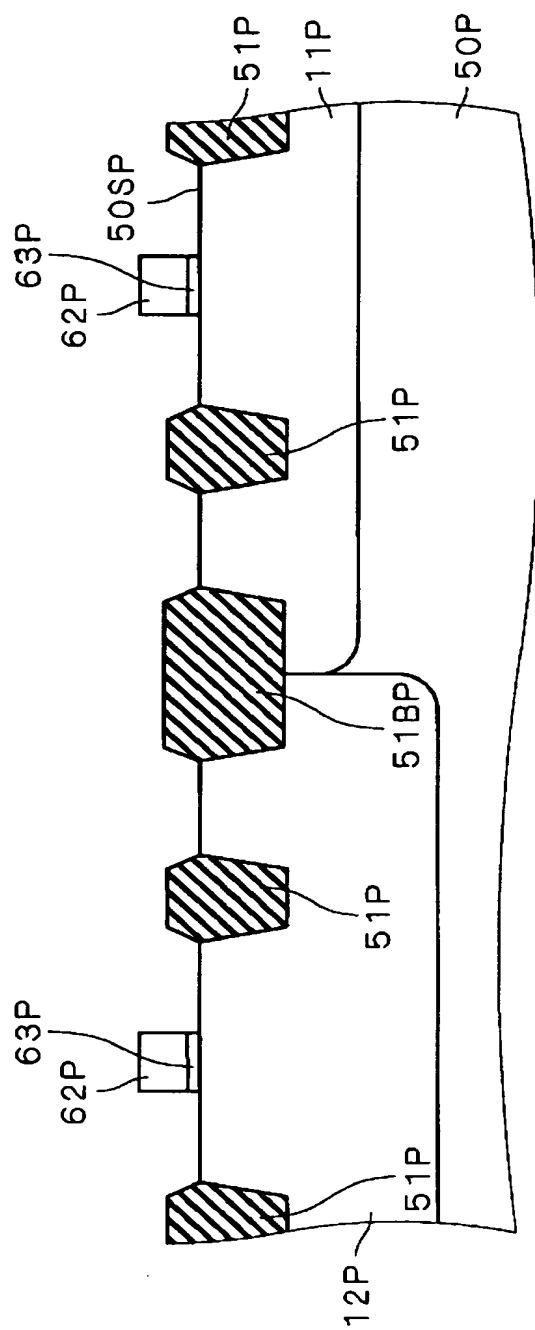
【図 2 4】



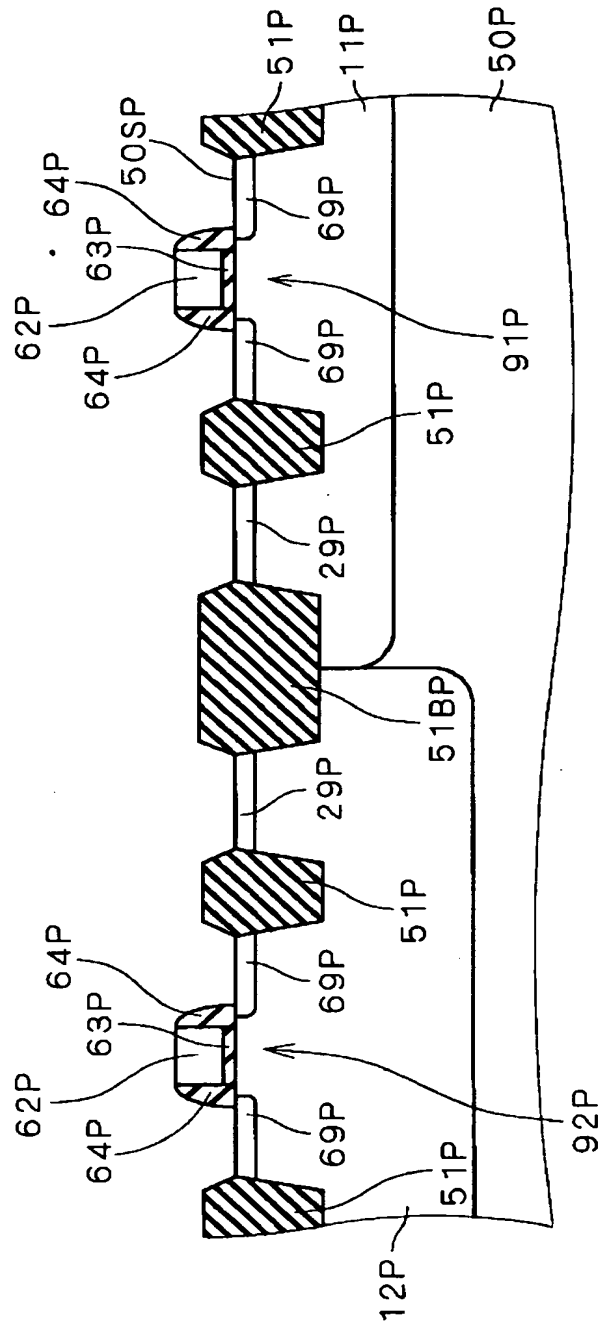
【図 2 5】



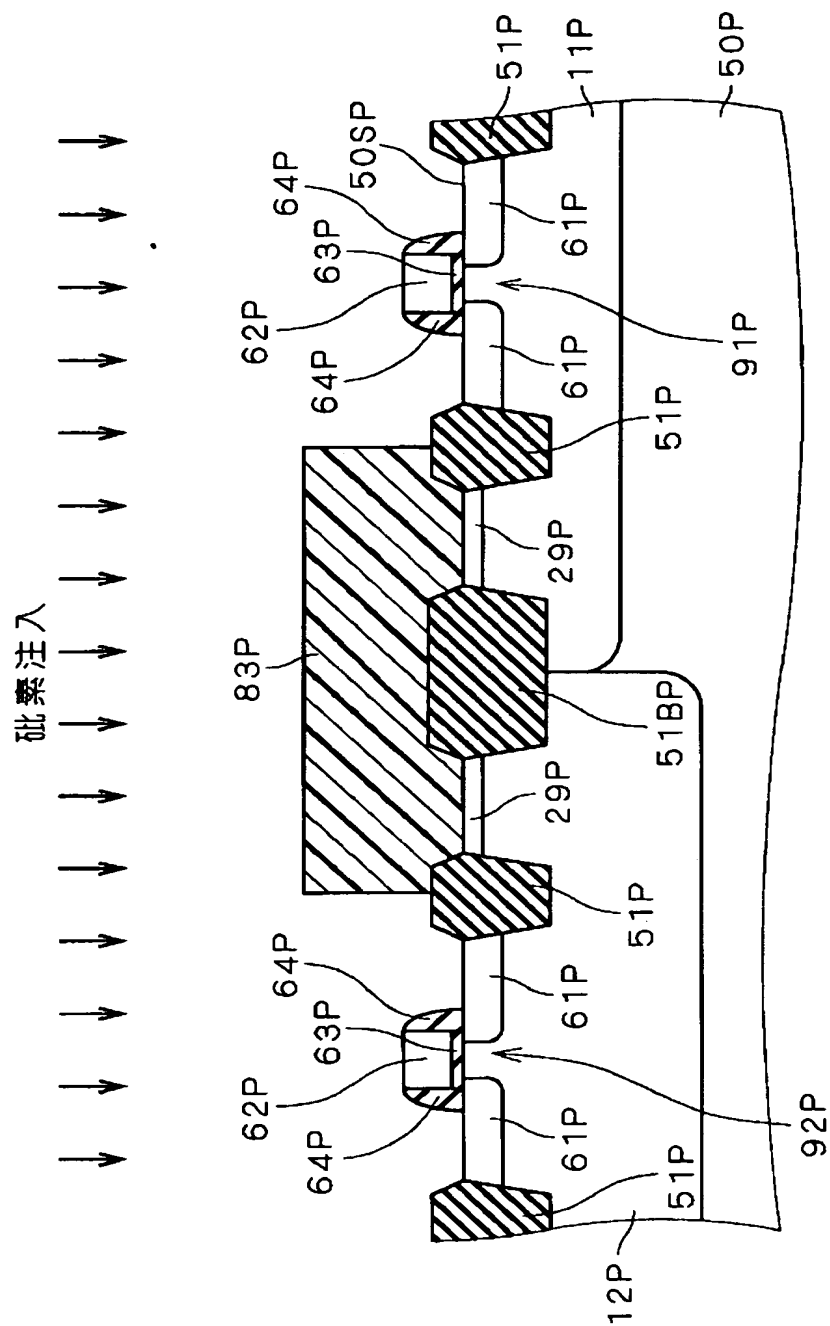
【図 2 6】



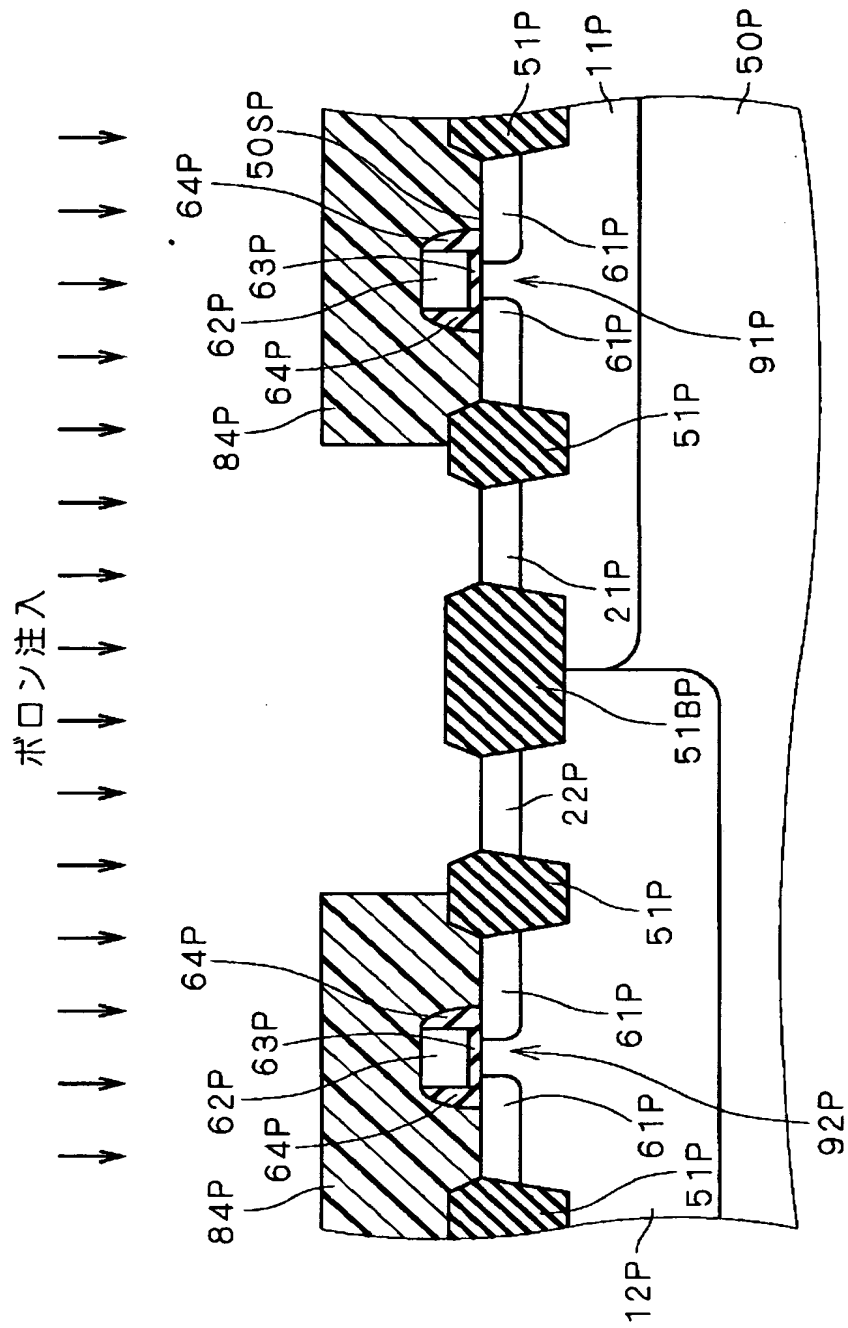
【図 27】



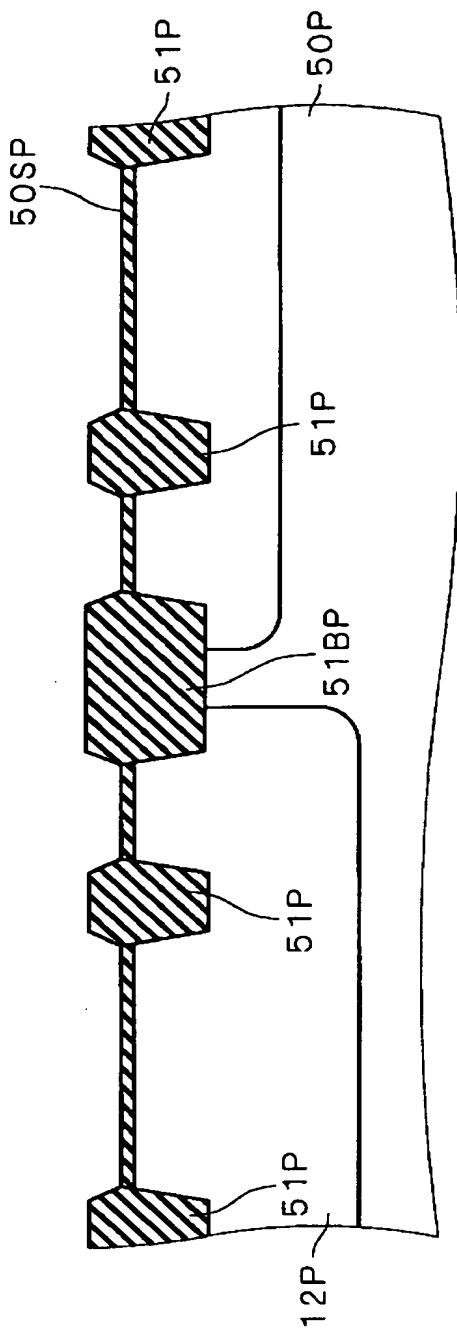
【图 28】



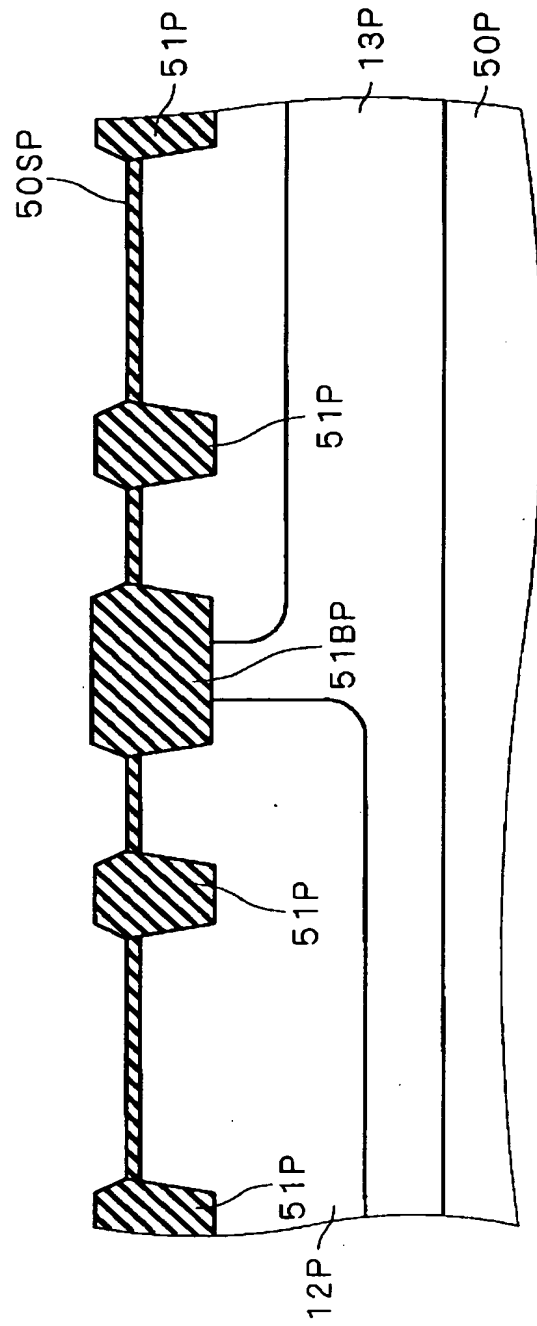
【図 29】



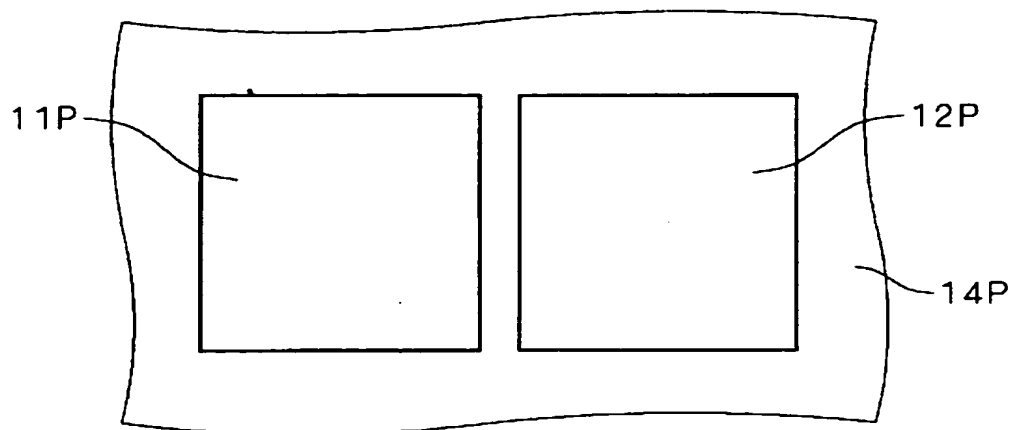
【図 3 0】



【図 3 1】



【図 3 2】



【書類名】 要約書

【要約】

【課題】 ウエルの電位を安定的に固定すると共に上記電位を固定するための要素のレイアウト面積を縮小する。

【解決手段】 半導体基板 5 0 の表面 5 0 S 内に不純物プロファイルが異なる P ウエル 1 1, 1 2 が隣接して形成されている。表面 5 0 内に P ウエル 1 1, 1 2 に跨って、P ウエル 1 1, 1 2 よりも低抵抗の P 型層 2 0 が形成されており、両 P ウエル 1 1, 1 2 は P 型層 2 0 を介して電氣的に接続される。層間絶縁膜 7 0 に形成された各コンタクトホール 7 0 H 1, 7 0 H 2 内に各コンタクト 3 1, 3 2 が P 型層 2 0 に接して充填されている。コンタクト 3 1, 3 2 は配線 4 0 に接続されている。配線 4 0 を所定の電位に接続することによって、コンタクト 3 1, 3 2 及び P 型層 2 0 を介して両 P ウエル 1 1, 1 2 を所定の電位に固定する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社